



Attorney's Docket No. 5649-1172

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re: Seong-Ho Kim et al.

Serial No.: 10/738,316

Filed: December 17, 2003

For: SEMICONDUCTOR DEVICES WITH ENLARGED RECESSED GATE  
ELECTRODES AND METHODS OF FABRICATION THEREFOR

Date: January 8, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

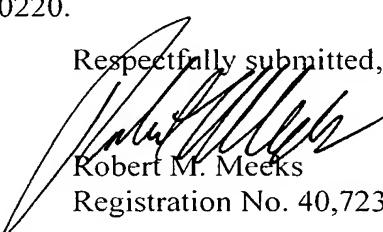
**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 10-2002-0081091 filed December 18, 2002.

If any extension of time for the accompanying response or submission is required,  
Applicant requests that this be considered a petition therefor. No fee is believed due,  
however, the Commissioner is hereby authorized to charge any deficiency, or credit any  
refund, to our Deposit Account No. 50-0220.

Respectfully submitted,

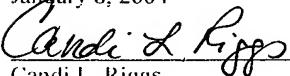
  
Robert M. Meeks  
Registration No. 40,723

**USPTO Customer No. 20792**

Myers Bigel Sibley & Sajovec  
Post Office Box 37428  
Raleigh, North Carolina 27627  
Telephone: 919/854-1400  
Facsimile: 919/854-1401

**Certificate of Mailing under 37 CFR 1.8 (or 1.10)**

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as  
first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on  
January 8, 2004

  
Candi L. Riggs



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0081091  
Application Number

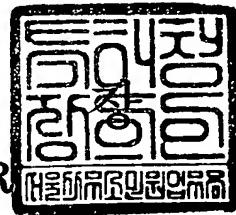
출 원 년 월 일 : 2002년 12월 18일  
Date of Application DEC 18, 2002

출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 12 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】 서지사항 보정서  
 【수신처】 특허청장  
 【제출일자】 2003.07.25  
 【제출인】  
     【명칭】 삼성전자 주식회사  
     【출원인코드】 1-1998-104271-3  
     【사건과의 관계】 출원인  
 【대리인】  
     【성명】 임창현  
     【대리인코드】 9-1998-000386-5  
     【포괄위임등록번호】 1999-007368-2  
 【대리인】  
     【성명】 권혁수  
     【대리인코드】 9-1999-000370-4  
     【포괄위임등록번호】 1999-056971-6  
 【사건의 표시】  
     【출원번호】 10-2002-0081091  
     【출원일자】 2002.12.18  
     【심사청구일자】 2002.12.18  
     【발명의 명칭】 고속도 및 저전력 소모 반도체 소자 및 그 제조 방법  
 【제출원인】  
     【접수번호】 1-1-2002-0419795-34  
     【접수일자】 2002.12.18  
 【보정할 서류】 특허출원서  
 【보정할 사항】  
     【보정대상항목】 발명자  
     【보정방법】 정정  
 【보정내용】  
     【발명자】  
         【성명의 국문표기】 김성호  
         【성명의 영문표기】 KIM, SEONG HO  
         【주민등록번호】 720505-1653010

【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE, CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400
【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE, JEONG DONG
【주민등록번호】	690726-1550311
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM, SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-727
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이신애
【성명의 영문표기】	LEE, SHIN AE
【주민등록번호】	770809-2808414
【우편번호】	440-600

【주소】 경기도 수원시 장안구 수원우체국사서함 125호 15  
동 519호

【국적】 KR

【발명자】

【성명의 국문표기】 박동건

【성명의 영문표기】 PARK, DONG GUN

【주민등록번호】 590218-1053119

【우편번호】 463-500

【주소】 경기도 성남시 분당구 구미동 무지개마을 제일 아  
파트 801동 401호

【국적】 KR

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규  
정에의하여 위와 같 이 제출합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

【수수료】

【보정료】 0 원

【기타 수수료】 원

【합계】 0 원

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.18
【발명의 명칭】	고속도 및 저전력 소모 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	HIGH SPEED AND LOW POWER CONSUMPTION SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM, SUNG HO
【주민등록번호】	720505-1653010
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK, DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR

## 【발명자】

【성명의 국문표기】 이창섭  
 【성명의 영문표기】 LEE, CHANG SUB  
 【주민등록번호】 680715-1109521  
 【우편번호】 441-400  
 【주소】 경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1202호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 최정동  
 【성명의 영문표기】 CHOE, JEONG DONG  
 【주민등록번호】 690726-1550311  
 【우편번호】 431-719  
 【주소】 경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 이신애  
 【성명의 영문표기】 LEE, SHIN AE  
 【주민등록번호】 770809-2808414  
 【우편번호】 440-600  
 【주소】 경기도 수원시 장안구 수원우체국사서함 125호 15동 519호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 김성민  
 【성명의 영문표기】 KIM, SUNG MIN  
 【주민등록번호】 740116-1772529  
 【우편번호】 403-727  
 【주소】 인천광역시 부평구 부개3동 삼부아파트 108동 2204호  
 【국적】 KR

## 【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	58	면	58,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	45	항	1,549,000	원
【합계】			1,636,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

### 【요약서】

#### 【요약】

본 발명은 고속도, 저전력 소모 반도체 소자에 관한 것으로서, 본 발명의 게이트 전극은 반도체 기판 위쪽 뿐만아니라 반도체 기판의 함몰부에도 위치하여 뒷 형상을 나타낸다. 반도체 기판 위쪽으로 위치한 게이트 전극은 영문 대문자 티(T) 형상을 가지며, 상부의 게이트 길이보다 하부의 게이트 길이가 좁다. 함몰부에 위치한 게이트 전극 및 반도체 기판 사이에 개재하는 게이트 절연막의 두께가 상이하다. 함몰부 양측벽에 위치하는 게이트 절연막은 두꺼운 반면 함몰부 바닥에 위치하는 게이트 절연막은 매우 얇다. 이로 인해 소오스/드레인 영역 및 게이트 사이의 중첩에 의한 기생 커패시터 용량을 줄일 수 있다. 또, 함몰부 바닥에만 얇은 게이트 산화막이 형성되어 유효 채널 길이 증가를 방지한다. 이와 같은 구조를 갖는 게이트 전극을 구비하는 반도체 소자 제조 방법은 반도체 기판 상에 몰딩막을 형성한 후 그 일부 두께를 패터닝하여 게이트 전극을 한정하는 그루브를 형성한다. 그루브 측벽에 스페이서를 형성하고 잔존하는 몰딩막을 이방성 식각하여 반도체 기판을 노출시킨다. 노출된 반도체 기판을 등방성 식각하여 함몰부를 형성한다. 열산화 공정을 진행하여 두꺼운 산화막을 형성한 후 이를 이방성 식각하여 함몰부 바닥은 노출시키고 함몰부 양측벽에만 상기 두꺼운 산화막을 남긴다. 다시 열산화 공정을 진행하여 얇은 게이트 산화막을 함몰부 바닥에 형성한다. 상기 그루브 및 함몰부를 도전몰질로 채워 게이트 전극을 형성한다.

#### 【대표도】

도 8

#### 【색인어】

단채널, 기생 커패시터

**【명세서】****【발명의 명칭】**

고속도 및 저전력 소모 반도체 소자 및 그 제조 방법{HIGH SPEED AND LOW POWER CONSUMPTION SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME}

**【도면의 간단한 설명】**

도1 내지 도4는 종래 "티"형 게이트 전극을 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도5 내지 도7은 종래 함몰 게이트 전극을 형성하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도8은 본 발명의 일 실시예에 따른 반도체 소자를 도시하는 반도체 기판의 단면도이다.

도9는 본 발명의 다른 실시예에 따른 반도체 소자를 도시하는 반도체 기판의 단면도이다

도10은 본 발명의 또 다른 실시예에 따른 반도체 소자를 도시하는 반도체 기판의 단면도이다.

도11 내지 도25는 도8에 보여진 반도체 소자를 제조하는 방법을 설명하기 위해, 공정 순서에 따른 주요 공정 단계에서 반도체 기판의 단면도들이다.

도26 내지 도31은 도9에 보여진 반도체 소자를 제조하는 방법을 설명하기 위해, 공정 순서에 따른 주요 공정 단계에서 반도체 기판의 단면도들이다.

도32 내지 도36는 도10에 보여진 반도체 소자를 제조하는 방법을 설명하기 위해, 공정 순서에 따른 주요 공정 단계에서 반도체 기판의 단면도들이다.

도37 내지 도40는 본 발명의 또 다른 한 실시예에 따른 반도체 소자를 제조하는 방법을 설명하기 위해, 공정 순서에 따른 주요 공정 단계에서 반도체 기판의 단면도들이다.

#### \*도면의 주요 부분에 대한 부호의 설명

111 : 기판 113 : 소자분리막

115, 115a : 패드 산화막 117, 117a : 희생 질화막

119 : 평탄화 버퍼막 121 : 포토레지스트 패턴

125 : 게이트 전극 그루브 127 : 희생 스페이서

129 : 버퍼 게이트 절연막 131 : 게이트 절연막

133 : 게이트 전극막 135 : 게이트 전극

137 : 실리사이드 스페이서 139 : 저농도 불순물 영역

141 : 게이트 절연막 스페이서 143 : 고농도 불순물 영역

145 : 금속막 147 : 실리사이드막

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 상세하게는, 고속도 및 저전력 소모 반도체 소자 및 그 제조 방법에 관한 것이다.

<21> 반도체 소자는 복수개의 모스(MOS: Metal Oxide Semiconductor) 트랜지스터들

로 구성된 집적회로를 포함한다. 모스 트랜지스터들은 반도체 소자의 집적도가 증가함에 따라 점점 작아지고 있다. 이에 따라, 모스 트랜지스터들의 단채널 효과(short channel effect)에 기인하는 문제점을 개선하기 위한 연구가 지속적으로 행해지고 있다.

<22> 모스 트랜지스터의 게이트는 반도체 기판에 게이트 절연막을 형성하고 게이트 도전막을 적층하여 패터닝하는 방식을 사용하여 형성하는 것이 통상적이다. 또, 소오스/드레인 영역은 게이트 전극을 패터닝 공정으로 형성한 후 이온 주입 공정을 진행함으로써 형성하는 것이 통상적이다.

<23> 그러나, 도전막 패터닝에 의해 형성되는 게이트는 그 측벽 부분이 식각시 손상되어 채널에서 게이트 주변부로 전하의 흐름이 일정치 못하게 되고 전류의 누출이 발생하는 등의 문제가 있다. 또, 이와 같은 통상적인 방법은 사진 공정의 해상도를 능가하는, 즉, 사진 공정의 해상도보다 더 축소된 채널 길이를 가지는 게이트 전극을 형성할 수 없기 때문에, 소자 동작 속도 및 전력 소모 측면에서 불리하다.

<24> 따라서, 게이트 패터닝에 따른 손상의 문제를 해결하고 소자 동작 특성을 향상시키기 위해 다마신(damascene) 공정을 이용한 영문 대문자 티(T) 형상의 게이트 전극 공정이 소개되고 있다. 미합중국 특허 제6,255,202호는 티형 게이트 전극 공정을 개시하고 있다.

<25> 도1 내지 도4를 참조하여 종래의 티형 게이트 전극 공정에 대해 설명을 한다. 먼저, 도1을 참조하여, 반도체 기판(11) 상에 산화막(13) 및 질화막(15)이 차례로 형성된다. 사진 식각 공정을 이용하여 상기 질화막(15)이 패터닝되어 초기 그루브(17)가 형성된다.

<26> 다음 도2를 참조하여, 상기 초기 그루브(17) 양측벽에 스페이서(19)가 형성된 후 이를 식각 마스크로 사용하여 하부에 노출된 산화막(13)이 식각되고 반도체 기판이 노출된다.



<27> 다음 3을 참조하여, 스페이서(19)가 제거되어 게이트 전극을 한정하는 최종적인 그루브(21)가 완성된다. 이어서 노출된 반도체 기판 상에 게이트 산화막(23)이 형성된 후, 상기 최종적인 그루브(21)가 도전물질로 채워져, 도4에 도시된 바와 같이, 티형 게이트 전극(25)이 형성된다. 이후 공정은 도시하지 않았지만, 상기 질화막(15)이 제거되고 이온 주입 공정이 진행되어 소오스/드레인 영역(미도시)이 형성된다.

<28> 한편, 단채널 효과에 따른 문제를 저감하기 위해, 소오스/드레인 영역을 아주 얇게 형성하는 것이 필요하다. 하지만, 소자의 크기가 지속적으로 줄어들고 있는 현 상황에서 상술한 티형 게이트 공정 및 통상적인 게이트 공정에서 아주 얇은 소오스/드레인 접합을 형성하기는 매우 어려운 실정이다. 이에 따라, 함몰(recessed) 게이트 전극 공정이 소개되고 있다. 미합 중국 특허 제6,303,448호는 함몰 게이트 전극 공정(또는 상승된 소오스/드레인 공정)을 개시하고 있다.

<29> 종래의 함몰 게이트 전극 공정을 도5 내지 도7을 참조하여 설명하기로 한다. 먼저, 도5를 참조하여, 반도체 기판(51) 상에 산화막(53) 및 질화막(55)이 차례로 형성된 후 사진 식각 공정을 통해서 상기 질화막(55), 상기 산화막(53) 및 상기 반도체 기판(51) 일부 두께가 이방성 전식 식각되어 게이트 전극을 한정하는 그루브(57)가 형성된다.

<30> 다음 도6을 참조하여, 식각된 반도체 기판 표면에 열산화 공정으로 게이트 절연막(63)이 형성된다.

<31> 다음 도7을 참조하여, 상기 그루브(57)가 도전물질로 채워져 함몰 게이트 전극(65)이 형성된다. 이후 공정은 도시되지 않았지만, 상기 질화막(55)이 제거되고, 이온 주입 공정이 진행되어 소오스/드레인 영역이 형성된다.



1020020081091

출력 일자: 2003/12/16

### 【발명이 이루고자 하는 기술적 과제】

<32> 이상에서 간단히 언급한 종래 반도체 소자 제조 방법들은 여러 문제점을 가지고 있다.

<33> 종래 티형 게이트 전극 공정에 따르면, 얇은 접합의 소오스/드레인 영역을 형성하기가 매우 어렵다. 이는, 통상적인 게이트 공정과 마찬가지로, 채널이 반도체 기판 상부 표면 부근에 형성되기 때문이다. 또한, 드레인-기인 장벽 저하(DIBL:Drain-Induced Barrier Lowering) 문제는 통상적인 게이트 공정과 거의 유사하다. 이에 따라, 문턱전압보다 낮은 전압에서도 반도체 기판과 게이트 절연막 사이에서 누설전류가 발생할 수 있다.

<34> 한편, 종래 함몰 게이트 전극 공정은에 따르면, 기생 커패시터, 즉, 게이트 전극 및 소오스/드레인 사이의 중첩에 의한 기생 커패시터의 용량이 증가하게 된다. 이는, 반도체 기판의 일부 식각으로 게이트 전극의 바닥 부분과 접하는 면적이 증하였고, 또 반도체 기판에 형성된 그루브 내벽을 따라 게이트 절연막으로 작용하는 얇은 열산화막이 콘포밀하게 형성되기 때문이다. 이와 같은 기생 커패시터 용량 증가는 소자 동작 특성을 악화시키는 요인으로 작용한다. 또, 게이트-기인 드레인 누설전류(GIDL:Gate-Induced Drain Leakage)가 증가하게 된다.

<35> 따라서, 소자의 고집적화 추세에 부응하여 단채널 효과에 따른 문제점을 최소화하면서도 고속도 저전력 소모를 달성할 수 있는 반도체 소자 및 그 제조 방법에 절실히 요구되고 있다.

<36> 이상에서 설명한 상황하에서 본 발명이 안출되었으며, 본 발명이 이루고자하는 기술적 과제는 고속도 저전력 소모 반도체 소자 및 그 제조 방법을 제공하는 것이다.

<37> 본 발명이 이루고자 하는 또 다른 기술적 과제는 단채널 효과를 개선하기에 적합한 반도체 소자 및 그 제조 방법을 제공하는 것이다.

## 【발명의 구성 및 작용】

<38> 상기 기술적 과제를 해결하기 위하여 본 발명은 닻 형상의 게이트 전극을 구비한 반도체 소자를 제공한다.

<39> 본 발명에 따른 반도체 소자의 게이트 전극은 반도체 기판 표면 상하로 연장되어 있다. 기판 표면 상부에 위치한 게이트 전극(돌출 게이트 전극)은 "티" 형상을 가진다. 기판 표면 하부에 위치한 게이트 전극(함몰 게이트 전극)은 반도체 기판의 함몰부에 자리잡는다. 상기 함몰 게이트 전극 및 반도체 기판 사이에 절연막이 개재한다.

<40> 바람직하게는, 상기 돌출 게이트 전극은 상기 함몰 게이트 전극에 연속하며 상기 함몰부의 폭보다 좁은 게이트 길이를 갖는 바닥 게이트 전극 및 상기 바닥 게이트 전극에 연속하며 상기 함몰부의 폭보다 넓은 게이트 길이를 갖는 주 게이트 전극으로 구성된다. 여기서 게이트 길이(또는 게이트 전극 길이)는 채널 방향으로 측정된 게이트 전극의 치수를 가리킨다.

<41> 상기 함몰부 표면 상에, 즉, 상기 함몰 게이트 전극 및 반도체 기판 사이에 개재하는 상기 절연막은, 상기 함몰부 양측벽에 개재하는 제1두께의 버퍼 게이트 절연막 및 상기 버퍼 게이트 절연막에 연속하되 상기 제1두께보다 얇으며 상기 함몰부 바닥에 위치하는 게이트 절연막으로 구성되는 것이 바람직하다.

<42> 이에 따라, 상기 게이트 절연막에 의해 한정되는 유효 채널 길이는 상기 함몰부 폭보다 좁으며 상기 바닥 게이트 전극의 길이와 거의 일치하게 되어 채널 길이의 증가가 억제된다. 또, 상기 함몰부 양측벽의 버퍼 게이트 절연막은 두껍기 때문에, 함몰부 형성에 따른 게이트 전극 및 소오스/드레인 사이의 중첩에 의한 기생 커패시턴스 증가를 억제할 수 있다. 결과적으로



단채널 효과에 따른 문제점을 발생시키지 않고 고속도 및 저전력 소모 단채널 트랜지스터를 구현할 수 있다.

<43> 본 발명에 따른 반도체 소자의 일 상태에 따르면, 상기 함몰 게이트 전극은 폴리 실리콘으로 형성된다. 상기 주 게이트 전극은 상기 바닥 게이트 전극과 동일한 게이트 길이를 가지면서 상기 바닥 게이트 전극에 연속하는 폴리 실리콘으로 형성된 주 게이트 전극 중심부 및 상기 주 게이트 전극 중심부 양측벽에 배치된 실리사이드 스페이서로 이루어 질 수 있다. 이때, 상기 함몰부 끝단은 상기 실리사이드 스페이서 외측벽 및 상기 바닥 게이트 전극 외측벽 사이에 위치할 것이다. 또, 상기 바닥 게이트 전극 외측벽에서 확장하여 상기 금속 실리사이드 스페이서 외측벽에 정렬되는 버퍼 절연막, 상기 금속 실리사이드 스페이서 및 상기 버퍼 절연막 외측벽에 배치된 게이트 절연막 스페이서 및 상기 주 게이트 전극 중심부 상부 표면 및 상기 게이트 절연막 스페이서 양측의 반도체 기판에 배치된 금속 실리사이드막을 더 포함할 수 있다.

<44> 또한, 상기 버퍼 절연막 및 상기 게이트 절연막 스페이서 하부의 반도체 기판에 한정된 저농도 불순물 영역 및 상기 저농도 불순물 영역에 연속하여 상기 게이트 절연막 스페이서 양측의 반도체 기판에 한정된 고농도 불순물 영역을 더 포함한다.

<45> 본 발명에 따른 반도체 소자의 다른 상태에 따르면, 상기 함몰 게이트 전극, 상기 바닥 게이트 전극 및 상기 주 게이트 전극은 폴리 실리콘으로 형성된다. 이 경우, 상기 함몰부 끝단은 상기 실리사이드 스페이서 외측벽 및 상기 바닥 게이트 전극 외측벽 사이에 위치할 것이다. 상기 주 게이트 전극 외측벽 및 그 하부 표면 상에 배치된 게이트 절연막 스페이서 및 상기 바닥 게이트 전극 외측벽에서 확장하여 상기 게이트 절연막 스페이서 외측벽에 정렬되는 버퍼 절연막을 더 포함할 수 있다.

<46> 또, 상기 버퍼 절연막 및 상기 게이트 절연막 스페이서 하부의 반도체 기판에 한정된 저농도 불순물 영역 및 상기 저농도 불순물 영역에 연속하며 상기 게이트 절연막 스페이서 양측의 반도체 기판에 한정된 고농도 불순물 영역을 더 포함한다.

<47> 상술한 본 발명에 따른 반도체 소자의 상태들에서, 상기 함몰부에 형성된 절연막이 동일한 두께, 즉, 얇은 두께로 형성될 수도 있다. 이 경우, 함몰부는 얇게 형성된다.

<48> 상기 목적들을 달성하기 위한 본 발명의 일 실시예에 따르면, 닫 형상의 게이트 전극을 구비한 반도체 소자가 제공된다. 상기 반도체 소자는 함몰부를 갖는 반도체 기판을 포함한다. 상기 함몰부를 채우면서 상기 반도체 기판 표면 위쪽으로 돌출한 게이트 전극이 상기 반도체 기판을 가로질러 달린다. 상기 함몰부를 채우는 함몰 게이트 전극 및 상기 반도체 기판 사이에 절연막이 개재한다. 상기 절연막은 상기 함몰부 양측벽에 배치된 제1두께의 버퍼 절연막 및 상기 버퍼 절연막에 연속하며 상기 함몰부 부닥에 배치된 상기 제1두께보다 얇은 제2두께의 게이트 절연막으로 구성된다. 상기 반도체 기판 표면 위로 돌출한 돌출 게이트 전극은, 상기 함몰부의 폭보다 좁은 바닥 게이트 전극 및 상기 바닥 게이트 전극에 연속하며 상기 바닥 게이트 전극보다 넓은 주 게이트 전극을 포함한다. 상기 주 게이트 전극은 상기 바닥 게이트 전극에 연속하는 주 게이트 전극 중심부 및 그 외측벽(또는 양측벽)에 배치된 금속 실리사이드 스페이서로 이루어진다.

<49> 상기 반도체 소자는 상기 바닥 게이트 전극 측벽(또는 외측벽)에서 연장하여 상기 금속 실리사이드 스페이서 외측벽에 정렬되는 버퍼 절연막, 상기 금속 실리사이드 스페이서 및 상기 버퍼 절연막 최측벽에 배치된 게이트 절연막 스페이서, 상기 주 게이트 전극 중심부의 상부 표면 및 상기 게이트 절연막 스페이서 양측의 반도체 기판 상에 배치된 금속 실리사이드막을 더 포함한다. 또, 상기 버퍼 절연막 및 상기 게이트 절연막 스페이서 하부의 반도체 기판에

한정된 저농도 불순물 영역 및 상기 저농도 불순물 영역에 연속하여 상기 게이트 절연막 스페이서 양측의 반도체 기판에 한정된 고농도 불순물 영역을 더 포함한다.

<50> 상기 기술적 과제들을 달성하기 위한 본 발명의 다른 실시예에 따르면, 상기 반도체 기판 표면 위로 돌출한 돌출 게이트 전극은, 상기 함몰부의 폭보다 좁은 바닥 게이트 전극 및 상기 바닥 게이트 전극에 연속하여 상기 바닥 게이트 전극의 길이 및 상기 함몰부의 폭보다 큰 게이트 길이를 갖는 주 게이트 전극을 포함한다.

<51> 상기 기술적 과제들을 해결하기 위하여 본 발명은 닫 형상의 게이트 전극을 구비한 반도체 소자를 제조하는 방법을 제공한다. 상기 반도체 소자를 제조하는 방법은, 반도체 기판 상에 패드 산화막 및 희생 질화막을 차례로 형성하는 단계와, 상기 희생 질화막 및 패드 산화막을 관통하고 상기 반도체 기판을 노출시키는 돌출 게이트 전극 그루브를 형성하는 단계와, 상기 노출된 반도체 기판을 등방성 식각하여 함몰부를 형성하는 단계와, 상기 함몰부 표면에 절연막을 형성하는 단계와, 상기 절연막이 형성된 함몰부 및 상기 돌출 게이트 전극 그루브를 채우는 게이트 전극을 형성하는 단계와, 상기 희생 질화막을 제거하는 단계와, 노출된 게이트 전극 양측벽에 게이트 절연막 스페이서를 형성하는 단계를 포함한다.

<52> 본 방법의 일 상태에 따른 상기 함몰부 표면에 절연막을 형성하는 단계는, 제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계와, 상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계와, 제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 노출된 상기 함몰부 바닥 표면에 형성하는 단계로 이루어진다.

<53> 본 방법의 다른 상태에 따른 상기 함몰부 표면에 절연막을 형성하는 단계는, 제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계와, 상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계와, 상기 라이너 질화막을 이방성 식각하는 단계와, 노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 노출된 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계와, 제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어진다.

<54> 본 방법의 일 상태에 따른 상기 돌출 게이트 전극 그루브를 형성하는 단계는, 상기 희생 질화막 상에 상기 돌출 게이트 전극 그루브 상부의 폭에 대응하는 개구부를 갖는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 상기 희생 질화막을 식각하여 상기 희생 질화막 내에 주 게이트 전극 그루브를 형성하는 단계와, 상기 주 게이트 전극 그루브 측벽에 희생 스페이서를 형성하는 단계와, 상기 반도체 기판이 노출되도록 상기 희생 스페이서에 의해 노출된 하부 막질을 식각하여 바닥 게이트 전극 그루브를 형성하는 단계와, 상기 희생 스페이서를 제거하는 단계를 포함하여 이루어진다.

<55> 상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 전체가 식각되어 상기 패드 산화막이 노출될 수 있다. 또는, 상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 일부 두께가 식각될 수 있다. 이 경우, 상기 주 게이트 전극 그루브의 높이가 상기 희생 질화막의 두께보다 작을 것이다.

<56> 본 방법의 다른 상태에 따른 상기 돌출 게이트 전극 그루브를 형성하는 단계는, 상기 희생 질화막 상에 상기 돌출 게이트 전극 그루브 상부의 폭에 대응하는 개구부를 갖는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 상기

희생 질화막을 식각하여 상기 희생 질화막 내에 주 게이트 전극 그루브를 형성하는 단계와, 상기 주 게이트 전극 그루브 측벽에 희생 스페이서를 형성하는 단계와, 상기 반도체 기판이 노출되도록 상기 희생 스페이서에 의해 노출된 막질을 식각하는 단계를 포함하여 이루어진다. 이 때, 상기 희생 질화막을 제거하는 단계에서 상기 희생 스페이서도 동시에 제거된다. 또, 상기 희생 질화막 및 희생 스페이서를 제거한 후, 상기 게이트 전극 측벽에 금속 실리사이드 스페이서를 형성하는 단계와, 상기 금속 실리사이드 스페이서를 마스크로 사용하여 노출된 패드 산화막을 이방성 식각하여 상기 금속 실리사이드 스페이서 양측의 반도체 기판을 노출시키는 단계를 더 포함한다. 이 경우, 상기 게이트 절연막 스페이서는 상기 금속 실리사이드 스페이서 양측벽 및 상기 이방성 식각된 패드 산화막 측벽에 형성될 것이다.

<57> 상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 전체가 식각되어 상기 패드 산화막이 노출될 수 있다. 또는, 상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 일부 두께가 식각될 수 있다. 이 경우, 상기 주 게이트 전극 그루브의 높이가 상기 희생 질화막의 두께보다 작을 것이다.

<58> 본 방법의 일 상태에 따른 상기 절연막이 형성된 함몰부 및 상기 돌출 게이트 전극 그루브를 채우는 게이트 전극을 형성하는 단계는, 상기 희생 질화막 상에 상기 돌출 게이트 전극 그루브를 채우도록 도전물질을 형성하는 단계와, 상기 희생 질화막이 노출될 때까지 평탄화 공정을 진행하는 단계를 포함하여 이루어진다.

<59> 본 발명의 일 실시예에 따른 반도체 소자를 제조하는 방법은, 반도체 기판 상에 패드 산화막, 희생 질화막 및 평탄화 버퍼막을 차례로 형성하는 단계와, 상기 평탄화 버퍼막 및 버퍼질화막을 패터닝하여 주 게이트 전극 그루브를 형성하는 단계와, 상기 주 게이트 전극 그루브 양측벽에 희생 스페이서를 형성하는 단계와, 상기 희생 스페이서에 의해 노출된 하부 막을 식각

하여 상기 반도체 기판의 소정 부분을 노출시키는 바닥 게이트 전극 그루브를 형성하는 단계와, 상기 노출된 반도체 기판을 등방성 식각하여 상기 주 게이트 전극 그루브의 폭보다는 좁고 상기 바닥 게이트 전극 그루브의 폭보다는 넓은 폭을 갖는 함몰부를 형성하는 단계와, 상기 함몰부 표면에 절연막을 형성하는 단계와, 상기 함몰부, 상기 바닥 게이트 전극 그루브 및 상기 희생 스페이서에 의해 좁혀진 주 게이트 전극 그루브를 채우도록 상기 평탄화 버퍼막 상에 도전물질을 형성하는 단계와, 상기 희생 질화막 상부가 노출될 때까지 평탄화 공정을 진행하여 게이트 전극을 형성하는 단계와, 상기 희생 질화막 및 상기 희생 스페이서를 제거하는 단계를 포함한다.

<60> 상기 방법은 상기 게이트 전극 측벽에 금속 실리사이드 스페이서를 형성하되, 상기 금속 실리사이드 스페이서의 외측벽이 상기 주 게이트 전극 그루브의 외측벽에 정렬되도록 형성되는 단계를 더 포함하는 것이 바람직하다.

<61> 상기 방법의 일 상태에 따른 상기 함몰부 표면에 절연막을 형성하는 단계는, 제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계와, 상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계와, 제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어진다. 이 때, 상기 버퍼 게이트 산화막을 형성 한 후 채널 이온 주입 공정을 진행하는 단계와, 상기 금속 실리사이드 스페이서 형성 후 저농도 불순물 이온 주입 공정을 진행하는 단계와, 상기 게이트 절연막 스페이서를 형성한 후 고농도 불순물 이온 주입 공정을 진행하는 단계를 더 포함하는 것이 바람직하다.

<62> 상기 방법의 다른 상태에 따른 상기 함몰부 표면에 절연막을 형성하는 단계는, 제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계와, 상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계와, 상기 라이너 질화막을 이방성 식각하는 단계와, 노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계와, 제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어질 수 있다.

<63> 상기 방법의 또 다른 상태에 따른 상기 함몰부 표면에 절연막을 형성하는 단계는 열산화 공정을 진행하여 게이트 산화막을 형성하는 단계를 포함한다.

<64> 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

<65> 도8은 본 발명의 일 실시예에 따른 반도체 소자를 개략적으로 나타내는 반도체 기판의 단면도이다. 도8을 참조하여, 반도체 기판(111)에 소자분리영역(113)에 의해 전기적으로 격리된 활성 영역이 한정된다. 상기 반도체 기판(111)은 함몰부(125r)를 구비한다. 상기 함몰부

(125r)의 표면은 부드러운 곡선 형태를 나타낸다. 예컨대, 상기 함몰부(125r)는 반타원 또는 반구 등의 형태를 나타낼 수 있다.

<66> 상기 함몰부(125r)를 채우면서 상기 반도체 기판(111) 표면 위쪽으로 소정 높이를 갖는 게이트 전극(135)이 상기 반도체 기판(111)을 가로질러 달린다. 상기 함몰부(125r) 표면 상에, 즉, 상기 함몰부(125r)를 채우는 게이트 전극(135r:함몰 게이트 전극)과 상기 반도체 기판(111) 사이에 절연막(132)이 개재한다. 상기 함몰부(125r)는 예컨대, 약 300Å 이상의 깊이를 가질수 있다.

<67> 상기 게이트 전극(135)은 상기 함몰부(125r)를 채우는 함몰 게이트 전극(135r), 상기 함몰 게이트 전극(135r)에 연속하며 상기 반도체 기판(111) 상부로 돌출한 돌출 게이트 전극(135p)으로 구성된다. 또, 상기 돌출 게이트 전극(135p)은 상기 함몰부(125r)의 폭보다 좁은 게이트 길이를 갖는 바닥 게이트 전극(135b) 및 상기 바닥 게이트 전극에 연속하면서 상기 함몰부(125r)의 폭보다 넓은 게이트 길이를 갖는 주 게이트 전극(135m)으로 구성된다. 더 나아가서, 상기 주 게이트 전극(135m)은 상기 바닥 게이트 전극(135b)과 일체를 이루는 주 게이트 전극 중심부(135c) 및 그 측벽(외측벽)에 배치된 주 게이트 전극 실리사이드 스페이서(137)로 구성된다. 결국 상기 실리사이드 스페이서(137)의 외측 끝단, 즉 외측벽 및 상기 바닥 게이트 전극(135b)의 외측 끝단, 즉 외측벽 사이에 상기 함몰부(125r)의 끝단이 위치한다. 결과적으로 상기 게이트 전극(135)은 닻(anchor) 형상을 갖는다. 상기 함몰 게이트 전극(135r), 바닥 게이트 전극(135b) 및 주 게이트 전극 중심부(135c)는 폴리 실리콘으로 형성된다.

<68> 본 명세서에서 "게이트 전극 길이"는 채널 방향으로의 게이트 전극의 치수를 가리킨다. 상기 실리사이드 스페이서(137)는 게이트 전극의 저항을 감소시키기 위한 것으로서, CVD(화학적 기상 증착)법 등을 사용해서 형성할 수 있다.

<69> 상기 함몰 게이트 전극(135r) 및 상기 반 도체 기판(111) 사이에 개재하는 절연막(132)은 서로 두께가 다른 두 절연막, 즉, 버퍼 게이트 절연막(129a) 및 게이트 절연막(131)으로 구성된다. 상기 버퍼 게이트 절연막(129a)은 상기 함몰부(125r) 양측벽에 위치한다. 상기 게이트 절연막(131)은 상기 버퍼 게이트 절연막(129a)보다 두께가 더 얇으며 상기 버퍼 게이트 절연막(129a)에 연속하여 상기 함몰부(125r) 바닥에 위치한다. 바람직하게, 상기 게이트 절연막(131)은 상기 바닥 게이트 전극(135b) 하부에 정렬한다. 바꾸어 말하면, 상기 버퍼 게이트 절연막(129a)은 상기 바닥 게이트 전극(135b)의 양측의 함몰부(125r) 양측벽에 위치한다. 상기 두꺼운 버퍼 게이트 절연막(129a)은 게이트 전극 및 반도체 기판(즉, 소오스/드레인) 사이의 기생 커패시턴스를 감소시키는 역할을 한다. 상기 얇은 게이트 절연막(131)은 유효 게이트 절연막으로 작용한다. 따라서, 상기 버퍼 게이트 절연막(129a) 및 게이트 절연막(131)의 치수를 적절히 조절함으로써, 기생 커패시턴스의 증가없이 단채널 트랜지스터를 용이하게 구현할 수 있다.

<70> 상기 게이트 전극(135)의 바닥 게이트 전극(135b)를 감싸며 상기 실리사이드 스페이서(137)의 외측 끝단, 즉 외측벽에 정렬되도록 버퍼 절연막(115a)이 더 배치된다. 또, 상기 실리사이드 스페이서(137) 및 상기 버퍼 절연막(115a)의 외측벽에 게이트 절연막 스페이서(141)가 더 배치된다. 상기 버퍼 절연막(115a) 및 상기 게이트 절연막 스페이서(141)는 상기 게이트 전극(135)을 절연시킨다.

<71> 상기 버퍼 절연막(118) 및 상기 게이트 절연막 스페이서(141) 하부의 반도체 기판(111)에 저농도 불순물 영역(139) 및 상기 저농도 불순물 영역(139)에 연속하여 상기 게이트 절연막 스페이서(141) 외측의 반도체 기판(111)에 고농도 불순물 영역(143)이 더 배치된다. 상기 불순물 영역(139, 143)이 소오스/드레인 영역이 된다. 상술한 바와 같이, 상기 두꺼운 버퍼 게이트

절연막(129a)으로 인해, 상기 게이트 전극 및 상기 소오스/드레인 사이의 중첩에 의해 발생하는 기생 커패시턴스가 감소된다.

<72> 상기 게이트 전극(135) 상부 및 상기 게이트 절연막 스페이서(141) 외측의 반도체 기판(111), 즉 고농도 불순물 영역(143)에 실리사이드막(147)이 더 배치된다. 이 같은 실리사이드막(147)은 접촉 저항 특성을 향상시킨다.

<73> 다음 도9를 참조하여 본 발명의 다른 실시예에 따른 반도체 소자를 설명한다. 본 실시예에 따른 반도체 소자는, 게이트 전극이 실리사이드 스페이서를 구비하지 않는 것을 제외하고는 앞서 도8을 참조하여 설명한 반도체 소자와 실질적으로 동일하다. 따라서, 중복되는 내용에 대하여는 반복적인 설명을 생략한다. 도9를 참조하여, 본 실시예에 따른 게이트 전극(135)은 반도체 기판(111)의 함몰부(125r)를 채우는 함몰 게이트 전극(135r), 상기 함몰 게이트 전극(135r)에 연속하는 돌출 게이트 전극(135p)을 포함한다. 상기 돌출 게이트 전극(135p)은 상기 함몰 게이트 전극(135r)에 연속하며 상기 함몰부(125r)의 폭보다 좁은 게이트 길이를 갖는 바닥 게이트 전극(135b) 및 상기 바닥 게이트 전극(135b)에 연속하며 상기 함몰부(125r)의 폭보다 넓은 게이트 길이를 갖는 주 게이트 전극(135m)으로 구성된다.

<74> 앞서 도8을 참조하여 설명한 것과 마찬가지로, 상기 함몰 게이트 전극(135r) 및 반도체 기판(111) 사이에 서로 다른 두께의 절연막(132), 즉, 벼퍼 게이트 절연막(129a) 및 게이트 절연막(131)이 개재한다. 상기 벼퍼 게이트 절연막(129a)은 상기 게이트 절연막(131)보다 두꺼우며 상기 함몰부(125r)의 양측벽에 위치하고, 상기 게이트 절연막(131)은 상기 함몰부(125r)의 바닥에 위치한다.

<75> 상기 게이트 전극(135)의 돌출 게이트 전극(135p)은 "티"형을 나타내고, 상기 돌출 게이트 전극(135p)과 상기 함몰 게이트 전극(135r)은 전체적으로 닻 형상(anchor shape)을 타나낸다.

<76> 상기 바닥 게이트 전극(135b)의 양측벽 및 베퍼 게이트 절연막(129a) 상에 질화막 라이너(130a)가 더 배치될 수 있다.

<77> 또, 상기 반도체 소자는, 상기 주 게이트 전극(135m)의 양측벽 및 그 하부 표면 상에 배치된 게이트 절연막 스페이서(141) 및 상기 바닥 게이트 전극(135b)을 감싸며 상기 주 게이트 전극(135m)의 외측벽 까지 연장한 베퍼 절연막(115a)을 더 포함한다. 결과적으로, 상기 게이트 절연막 스페이서(141)는 영문 대문자 엘(L) 형(또는 180도 회전한 엘 형)을 타나낸다.

<78> 앞서 도8을 참조하여 설명한 반도체 소자와 마찬가지로, 상기 게이트 절연막 스페이서(141) 및 베퍼 절연막(115a) 하부의 반도체 기판에 저농도 불순물 영역(139)이 배치되고, 상기 게이트 절연막 스페이서(141) 양측의 반도체 기판에 고농도 불순물 영역(143)이 배치된다.

<79> 본 실시예에 따른 반도체 소자에서, 상기 게이트 전극(135)은 폴리실리콘으로 형성될 수 있다.

<80> 도10은 본 발명의 또 다른 실시예에 따른 반도체 소자를 개략적으로 도시하는 반도체 기판의 단면도이다. 본 실시예에 따른 반도체 소자는 함몰부의 깊이가 앞서 도9를 참조하여 설명한 반도체 소자의 함몰부보다 얕으며 또한 함몰부 표면 상에 형성되는 절연막의 두께가 일정한 것을 제외하고는 앞서 도9를 참조하여 설명한 반도체 소자와 동일하다. 따라서, 중복되는 내용에 대하여는 반복적인 설명을 생략한다.

<81> 도10을 참조하여, 본 실시예에 따른 반도체 소자는 함몰부(125r)를 구비한 반도체 기판(111)을 포함한다. 상기 함몰부(125r')는 약 50Å 내외의 깊이로 형성된다. 게이트 전극(135)은 반도체 기판(111)의 함몰부(125r')를 채우는 함몰 게이트 전극(135r), 상기 함몰 게이트 전극(135r)에 연속하는 돌출 게이트 전극(135p)을 포함한다. 상기 돌출 게이트 전극(135p)은 상기 함몰 게이트 전극(135r)에 연속하며 상기 함몰부(125r')의 폭보다 좁은 게이트 길이를 갖는 바닥 게이트 전극(135b) 및 상기 바닥 게이트 전극(135b)에 연속하며 상기 함몰부(125r')의 폭보다 넓은 게이트 길이를 갖는 주 게이트 전극(135m)으로 구성된다. 상기 함몰 게이트 전극(135r) 및 상기 반도체 기판(111) 사이에 절연막(132)이 개재한다. 앞서 도8 및 도9를 참조하여 설명한 반도체 소자와 달리, 절연막(132)은 동일한 두께로 형성되며 전체가 게이트 절연막으로 작용한다.

<82> 이하에서는 본 발명에 따른 반도체 소자를 제조하는 방법에 대하여 첨부된 도면들을 참조하여 설명을 한다.

<83> 도11 내지 도25는 도8에 도시된 반도체 소자를 제조하는 바람직한 방법을 설명하기 위해 공정 순서에 따른 반도체 기판의 단면도들이다. 먼저 도11을 참조하여, 반도체 기판(111)에 통상적인 방법에 따라 소자분리공정을 진행하여 소자분리영역(113)을 형성한다. 이에 따라 상기 소자분리영역(113)에 의해 전기적으로 격리된 활성영역이 한정된다. 소자분리공정은 예컨대, 얇은 트렌치 격리 기술(STI:shallow trench isolation)을 사용할 수 있다.

<84> 다음, 상기 반도체 기판(111) 상에 패드 산화막(115), 희생 질화막(117) 및 선택적인 막으로서 평탄화 버퍼막(119)을 차례로 형성한다. 상기 평탄화 버퍼막(119)은 상기 희생 질화막(117)에 대해서 식각 선택비를 갖는 막질로 형성되며, 예컨대, 산화막으로 형성될 수 있다. 상기 패드 산화막(115)은 열산화 공정 또는 CVD 방법에 의해 형성될 수 있다. 상기 희생 질화막

(117) 및 상기 선택적인 평타화 버퍼막(119)는 CVD 방법에 의해 형성될 수 있다. 상기 희생 질화막(117)의 두께는 결국 형성하고자 하는 게이트 전극의 높이에 대응한다. 상기 선택적인 평탄화 버퍼막(119)은 후속 패터닝 공정에서 상기 희생 질화막(117)이 원하는 프로파일을 갖도록(즉, 수직 측벽을 갖는 게이트 전극이 형성될 수 있도록) 패터닝되도록 한다. 상기 선택적인 평탄화 버퍼막(119)은 공정에 따라서는 형성하지 않을 수도 있다.

<85> 다음 상기 선택적인 평탄화 버퍼막(119) 상에 포토레지스트 패턴(121)을 형성한다. 상기 포토레지스트 패턴(121)은 먼저 감광성 막질인 포토레지스트막을 도포한 후 소정의 레티클을 사용하여 노광한 후 이를 현상함으로써 형성된다. 상기 포토레지스트 패턴(121)은 개구부(123)을 구비한다. 상기 개구부(123)는 게이트 전극의 모양을 한정할 것이다.

<86> 다음 공정은 반도체 기판 표면 위쪽으로 형성될 돌출 게이트 전극 그루브를 한정하는 공정으로서, 도12a 내지 도14a 및 도 12b 및 도14b에 도시된 바와 같이 두 가지 방법을 사용할 수 있다. 먼저 도12a 내지 도14a를 참조하여, 첫 번째 방법을 설명한다.

<87> 먼저, 도12a를 참조하여, 상기 포토레지스트 패턴(121)을 식각 마스크로 사용하여, 상기 패드 산화막(115)이 노출될 때까지, 상기 포토레지스트 패턴(121)이 한정하는 개구부(123)에 의해 노출된 하부 막질들, 즉 상기 평탄화 버퍼막(119) 및 희생 질화막(117)을 이방성 식각하여 상기 희생 질화막(117) 내에 주 게이트 전극 그루브(125m)를 형성한다.

<88> 다음 도13a를 참조하여, 상기 포토레지스트 패턴(121)을 제거한 후, 상기 주 게이트 전극 그루브(125m)의 내측벽에 그루브 스페이서(127)를 형성하여 그 폭을 더 좁혀 주 게이트 전극 중심부 그루브(125mc)를 한정한다. 이로 인해 사진식각공정의 해상도를 능가하는 채널을 형성할 수 있다. 상기 그루브 스페이서(127)는 실리콘 질화막 또는 고밀도 플라즈마 TEOS막으로 형성될 수 있다. 구체적으로 상기 그루브 스페이서(127)는, 상기 포토레지스트 패턴(121)을 제

거한 후, 질화막 또는 고밀도 플라즈마 산화막을 코포말하게 형성한 후 이에 대한 이방성 식각을 진행함으로써 형성된다.

<89> 다음 도14a를 참조하여, 상기 그루브 스페이서(127)를 식각 마스크로 사용하여, 노출된 패드 산화막(115)을 식각하여 상기 패드 산화막(115)에 의해 한정되는 바닥 게이트 그루브(125b)을 형성한다. 이에 따라, 상기 반도체 기판(111)의 소정 부분이 노출된다. 상기 주 게이트 전극 중심부 그루브(125mc) 및 바닥 게이트 전극 그루브(125b)가 돌출 게이트 전극 그루브를 구성한다.

<90> 돌출 게이트 전극 그루브를 형성하는 다른 방법을 도12b 내지 도14b를 참조하여 설명을 한다. 먼저 도12b를 참조하여, 상기 포토레지스트 패턴(121)을 식각 마스크로 사용하여 상기 선택적인 평탄화 버퍼막(119) 전체 및 상기 희생 질화막(117)의 일부 두께를 이방성 식각하여 주 게이트 전극 그루브(125m')를 형성한다. 도12a의 경우, 희생 질화막(117)이 전부 식각되었다.

<91> 다음 도13b를 참조하여, 앞서 설명한 방법과 동일한 방법을 사용하여, 상기 주 게이트 전극 그루브(125m')의 양측벽에 그루브 스페이서(127')를 형성하여 주 게이트 전극 중심부 그루브(125m'c')를 한정한다.

<92> 다음 도14b를 참조하여, 상기 그루브 스페이서(127')를 식각 마스크로 사용하여, 잔존하는 희생 질화막(117) 및 패드 산화막(115)을 이방성 식각한다. 이에 따라 상기 반도체 기판(111)의 소정 부분이 노출되고, 상기 잔존하는 희생 질화막 및 상기 패드 산화막에 바닥 게이트 전극 그루브(125b')가 한정된다.

<93> 앞서 도12a 내지 도14a를 참조하여 설명한 방법과는 단지 상기 바닥 게이트 전극 그루브의 높이만이 서로 다를 뿐이다.

<94> 이하에서는 도12a 내지 도14a를 참조하여 설명한 방법으로 돌출 게이트 전극 그루브를 형성했을 경우에 한정하여 이후의 제조 공정을 설명한다. 먼저 도15를 참조하여, 상기 바닥 게이트 전극 그루브(125b)를 형성한 후, 노출된 반도체 기판을 등방성 식각하여 함몰부(125r)를 형성한다. 상기 함몰부(125r)는 습식식각 또는 화학적 건식 식각(CDE:chemical dry etching) 방법을 사용하여 형성할 수 있다.

<95> 여기서, 상기 함몰부(125r)의 끝단이 상기 그루브 스페이서(127) 내부에 위치하도록 상기 함몰부(125r)를 형성한다. 즉, 도12a에 도시된 주 게이트 전극 그루브(125m)의 폭보다 좁으며, 상기 바닥 게이트 전극 그루브(125b)의 폭보다는 넓은 폭을 갖도록 상기 하몰부(125r)이 형성된다.

<96> 상기 함몰부(125r)의 윤곽은 부드러운 곡선을 띠며, 반구형 또는 반타원형의 모양을 가질 수 있다. 상기 함몰부(125r)는 예컨대, 약 300Å 이상의 깊이를 갖도록 형성된다.

<97> 다음 공정은 서로 다른 두께를 갖는 절연막(132)을 상기 함몰부(125r) 표면 상에 형성하는 공정으로서, 도16 내지 도18을 참조하여 설명을 한다.

<98> 먼저, 도16을 참조하여, 상기 함몰부(125r)의 표면에 제1두께를 갖는 베퍼 게이트 절연막(129)을 형성한다. 예컨대, 상기 베퍼 게이트 절연막(129)은 열산화 공정에 의해 형성될 수 있으며, 원하는 게이트 절연막 두께보다 두껍게 형성한다. 이어서, 펀치쓰루를 방지하고 문턱 전압 조절을 위한 채널 이온주입 공정을 진행하여 베퍼 게이트 절연막(129)을 통해서 반도체 기판에 불순물 이온을 주입한다.

<99> 다음 도17을 참조하여, 상기 버퍼 게이트 절연막(129)을 이방성 식각한다. 그 결과 상기 함몰부(125r)의 양측벽(125rs)에만 버퍼 게이트 절연막(129a)이 잔존하고, 상기 함몰부(125r)의 바닥(125rb)에 위치한 버퍼 게이트 절연막은 제거된다. 상기 노출된 함몰부(125r)의 바닥(125r)의 수평 치수는 상기 바닥 게이트 전극 그루브(125b)의 수평 치수와 실질적으로 동일하다.

<100> 다음 도18을 참조하여, 상기 노출된 함몰부(125r)의 바닥(125rb) 상에 상기 버퍼 게이트 절연막(129a)의 두께보다 얇은 제2두께를 갖는 게이트 절연막(131)을 형성한다. 상기 게이트 절연막(131)은 열산화 공정을 사용하여 형성될 수 있으며, 원하는 소자 특성에 적합한 두께로 형성된다.

<101> 비록 도시하지는 않았지만, 상기 버퍼 게이트 절연막(129)를 형성한 후 라이너 질화막을 더 형성할 수도 있다. 이 경우, 먼저 라이너 질화막에 대하여 이방성 식각을 진행하여 상기 버퍼 게이트 절연막(129)을 노출시킨다. 이어서, 상기 노출된 버퍼 게이트 절연막(129)을 등방성 식각하여 반도체 기판의 소정 부분을 노출시킨다. 계속 해서 상술한 바와 같이 열산화 공정등을 수행해서 노출된 반도체 기판에 상기 버퍼 게이트 절연막보다 얇은 게이트 절연막을 형성한다.

<102> 다시, 도18을 참조하여, 상기 함몰부(125r) 바닥(125rb)에 상기 게이트 절연막(131)을 형성한 후, 상기 함몰부를 포함하여 상기 패드 절연막(115)에 의해 한정된 바닥 게이트 전극 그루브(125b) 및 상기 희생 질화막(117)에 의해 한정된 주 게이트 전극 중심부 그루브(125mc)를 완전히 채우도록 상기 선택적인 평탄화 버퍼막(119) 상에 게이트 전극물질(133)을 형성한다. 예컨대, 상기 게이트 전극물질(133)은 폴리 실리콘으로 형성될 수 있다.

<103> 다음 도19를 참조하여, 상기 희생 질화막(117) 상부가 노출될 때까지 평탄화 공정을 진행하여, 상기 함몰부(125r), 상기 바닥 게이트 전극 그루브(125b) 및 상기 주 게이트 전극 중심부 그루브(125mc)에 각각 위치한 함몰 게이트 전극(135r), 바닥 게이트 전극(135b), 주 게이트 전극 중심부(135c)를 형성한다. 상기 평탄화 공정은 화학적 기계적 연마 공정 또는 에치백 공정에 의해 수행될 수 있다. 상기 희생 질화막(117)은 평탄화 공정에서 평탄화 저지막으로서 기능을 한다.

<104> 다음 도20을 참조하여, 상기 희생 질화막(117) 및 상기 그루브 스페이서(127)를 제거하여 주 게이트 전극 중심부(135c)를 노출시킨다. 상기 그루브 스페이서(127)가 질화막으로 형성될 경우, 상기 희생 질화막(117)과 상기 그루브 스페이서(127)는 동일한 용액, 예컨대, 인산을 사용하여 한번의 공정으로 제거될 수 있다. 또, 상기 그루브 스페이서(127)를 고밀도 플라즈마 TEOS 산화막으로 형성될 경우, 먼저 인산을 사용해서 상기 희생 질화막(117)을 제거하고 이어서 통상적인 산화막 식각 용액을 사용하여 상기 그루브 스페이서(127)를 제거한다.

<105> 다음, 도21을 참조하여, 상기 노출된 주 게이트 전극 중심부(135c)의 양측벽(외측벽)에 실리사이드 스페이서(137)를 형성한다. 이로 인해 최종적인 게이트 전극(135)이 완성된다.

<106> 즉, 주 게이트 전극 중심부(135c) 및 상기 실리사이드 스페이서(137)가 주 게이트 전극(135m)을 구성하고, 상기 주 게이트 전극(135m) 및 상기 바닥 게이트 전극(135b)이 돌출 게이트 전극(135p)을 구성한다. 상기 돌출 게이트 전극(135p) 및 상기 함몰 게이트 전극(135r)이 최종적인 닻형 게이트 전극(135)를 구성한다.

<107> 상기 실리사이드 스페이서(137)는 CVD법 등에 의해 금속 실리사이드막을 형성한 후 이를 에치백함으로써 형성된다. 즉, 상기 게이트 전극 중심부(135c) 및 상기 패드 산화막(115)

상에 금속 실리사이드막을 콘포말하게 형성한 후 상기 패드 산화막(115)이 노출될 때까지 상기 금속 실리사이드막을 에치백한다. 그 결과, 상기 주 게이트 전극 중심부(135c)의 양측벽에만 금속 실리사이드막이 스페이서로 잔존하게 된다. 상기 실리사이드 스페이서(137)는 예컨대, 텅스텐 실리사이드막, 코발트 실리사이드막 등으로 형성될 수 있다. 상기 실리사이드 스페이서(137)를 형성하기 전에 장벽막을 더 형성하는 것이 바람직하다. 예컨대, 상기 장벽막은 티타늄 질화막으로 형성될 수 있다.

<108> 다음, 상기 실리사이드 스페이서(137)를 형성한 후, 상기 노출된 패드 산화막(115)에 대한 에치백 공정을 진행하여, 상기 실리사이드 스페이서(137) 양측의 패드 산화막을 제거하여 그곳의 반도체 기판을 노출시킨다. 이에 따라, 상기 실리사이드 스페이서(137) 하부에만 패드 산화막이 남는다(115a). 계속해서 상기 실리사이드 스페이서(137) 양측에 노출된 반도체 기판에 엘디디 형성을 위한 저농도 불순물 이온을 주입하여 그곳에 저농도 불순물 영역(139)을 형성한다. 이때, 상기 저농도 불순물 영역(139)은 상기 함몰부(125r)의 깊이와 실질적으로 동일한 깊이를 갖는다. 결과적으로, 얇은 소오스/드레인 접합을 형성할 수 있다. 함몰부의 깊이에 따라 저농도 불순물 영역의 깊이 및 후술한 고농도 불순물 영역의 깊이는 적절히 조절된다. 이와 같은 깊이들의 조절은 본 발명의 사상의 범위 내에서 당업자가 용이하게 구현할 수 있다.

<109> 다음 도23을 참조하여, 상기 실리사이드 스페이서(137) 및 잔존하는 패드 산화막(115a) 측벽에 게이트 절연막 스페이서(141)를 형성한다. 상기 게이트 절연막 스페이서(141)는 질화막으로 형성될 수 있다. 먼저, 질화막을 콘포말하게 형성한 후 이를 에치백함으로써, 상기 게이트 절연막 스페이서(141)가 형성된다.

<110> 다음 도24를 참조하여, 상기 게이트 절연막 스페이서(141)를 이온주입 마스크로 사용하여, 고농도 불순물 이온을 주입하여 상기 게이트 절연막 스페이서(141) 양측의 반도체 기판에

고농도 불순물 영역(143)을 형성한다. 상기 고농도 불순물 영역(143) 및 상기 저농도 불순물 영역(139)이 소오스/드레인 영역을 구성한다. 상기 고농도 불순물 영역(143)은 상기 저농도 불순물 영역(139) 보다 다소 깊게 형성된다.

<111> 실시예에 따라서, 상기 저농도 불순물 영역 형성을 위한 이온 주입 공정은 생략될 수 있다. 즉, 상기 함몰부(125r)가 깊게, 예컨대, 약 800Å 정도로 형성될 경우, 저농도 이온 주입 공정은 생략될 수 있다. 이 경우 고농도 이온 주입시 깊이에 따른 농도 프로파일 특성상 저농도 불순물 영역이 동시에 형성될 것이다. 하지만 이와 같은 함몰부의 깊이에 따른 저농도 불순물 이온 주입 공정의 생략은 단지 일 예에 불과하며, 다른 함몰부 깊이에서도 저농도 불순물 이온 주입 공정을 생략할 수 있다.

<112> 다음 도25를 참조하여, 상기 고농도 불순물 영역(143)이 형성된 결과물 상에, 즉, 노출된 반도체 기판, 상기 게이트 절연막 스페이서(141) 및 상기 게이트 전극 상부 표면 상에 실리사이드막 형성을 위한 금속막(145), 예컨대, 코발트, 티타늄, 니켈 등을 형성한다. 이어서, 실리사이드 열처리를 진행하여, 상기 게이트 전극(135) 상부 표면 및 상기 고농도 불순물 영역(143) 상에 실리사이드막(147)을 도8에도시된 바와 같이 형성한다.

<113> 이제부터는 도9에 도시된 반도체 소자를 제조하는 방법에 대하여 첨부된 도26 내지 도31을 참조하여 설명을 한다. 도10 내지 도25를 참조하여 설명한 방법과 동일한 부분에 대하여는 중복적인 설명을 피하기 위하여 생략을 한다.

<114> 먼저 도26을 참조하여, 앞서 도11 및 도12b 내지 도14b를 참조하여 설명한 것과 동일하게, 게이트 전극 중심부 그루브(125m'c') 및 바닥 게이트 전극 그루브(125b)를 형성한 후, 그루브 스페이서(127')를 제거하여 주 게이트 전극 그루브(125m) 및 바닥 게이트 전극 그루브(125b)를 형성한다. 계속 해서, 노출된 반

도체 기판을 등방성 식각하여 함몰부(125r)를 형성한다. 상기 함몰부(125r)의 폭은 상기 주 게이트 패턴 그루브(125m) 보다는 좁고 상기 바닥 게이트 전극 그루브(125b)보다는 넓다. 결과적으로 상기 주 게이트 전극 그루브(125m), 상기 바닥 게이트 전극 그루브(125b) 및 상기 함몰부(125r)가 닻형 게이트 전극을 한정하는 게이트 전극 그루브(125)를 구성한다.

<115> 다음 도27을 참조하여, 상기 함몰부(125r) 표면 상에 제1두께를 갖는 두꺼운 베퍼 게이트 절연막(129)을 열산화 공정 등을 사용하여 형성한다. 다음 상기 베퍼 게이트 절연막(129)이 형성된 결과물 전면에 즉, 상기 베퍼 게이트 절연막(129), 상기 게이트 전극 그루브(125) 내벽 및 상기 평탄화 베퍼막(119) 상에 라이너 질화막(130)을 형성한다. 상기 라이너 질화막(130)은 CVD법 등을 사용하여 형성할 수 있다.

<116> 다음 도28을 참조하여, 상기 라이너 질화막(130)이 형성된 결과물에 대하여 에치백 공정을 진행하여 상기 함몰부(125r)의 바닥(125rb) 상에 위치한 라이너 질화막을 제거하고 상기 베퍼 게이트 절연막(129)의 일부를 노출시킨다. 이어서, 노출된 베퍼 게이트 절연막에 대한 등방성 식각을 진행하여 상기 함몰부(125r)의 바닥(125rb) 상에 위치한 베퍼 게이트 절연막(129)을 제거하고 그곳에서의 반도체 기판을 노출시킨다. 여기서, 상기 함몰부(125r) 양측벽(125rs)에 위치한 베퍼 게이트 절연막은 식각되지 않은다. 함몰부 측벽(125rs)을 따라 침투하는 식각 용액이 거의 없기 때문이다. 계속해서, 노출된 반도체 기판 상에, 즉, 상기 함몰부(125r)의 바닥(125rb) 상에 상기 베퍼 게이트 절연막(129)보다 상대적으로 얇은 두께를 갖는 게이트 절연막(131)을 형성한다. 상기 게이트 절연막(131)은 열산화 공정등을 사용하여 형성될 수 있다.

<117> 다음 도29를 참조하여, 상기 게이트 전극 그루브(125)를 채우도록 전극물질인 폴리실리콘을 형성한 후 상기 희생 질화막(117) 상부가 노출될 때까지 평탄화 공정을 진행하여 게이트 전극(135)을 형성한다. 상기 게이트 전극(135)은 상기 함몰부(125r)을 채우는 함몰 게이트 전

극(135r), 상기 바닥 게이트 전극 그루브(125b)를 채우는 바닥 게이트 전극(135b) 및 상기 주 게이트 전극 그루브(125m)을 채우는 주 게이트 전극(135m)으로 구성된다.

<118> 다음 도30을 참조하여, 상기 희생 질화막(117)을 인산 등의 용액을 사용하여 제거한다. 이때, 상기 주 게이트 전극(135m)의 양측벽에 형성된 질화막 라이너 및 잔존하는 희생 질화막도 동시에 제거될 수 있다. 이에 따라 상기 주 게이트 전극(135m)의 하부 표면 일부도 노출될 수 있다.

<119> 다음, 앞서 설명한 방법과 동일하게, 상기 게이트 전극(135)을 이온 주입 마스크로 사용하여, 저농도 불순물 이온을 주입하여 저농도 불순물 영역(139)을 형성한다.

<120> 다음, 도31을 참조하여, 상기 저농도 불순물 영역(139)이 형성된 결과물 전면에, 앞서 설명한 방법과 동일하게, 질화막을 형성한다. 계속해서, 질화막에 대한 에치백 공정을 진행하여 게이트 절연막 스페이서(141)를 형성한다. 이때, 상기 버퍼 산화막(115)이 노출될 때까지 에치백 공정을 진행한다. 다음, 노출된 버퍼 산화막(115)에 대한 에치백 공정을 진행하여 상기 게이트 절연막 스페이서(141) 외측의 반도체 기판을 노출시킨다. 결과적으로 상기 게이트 절연막 스페이서(141) 하부에만 버퍼 산화막이 잔존한다(115a). 이어서, 상기 게이트 절연막 스페이서(141)를 이온 주입 마스크로 사용하여 고농도 불순물 이온을 주입하여 고농도 불순물 영역(143)을 형성한다.

<121> 이제 도10에 보여진 반도체 소자를 제조하는 방법에 대하여 첨부된 도32 내지 도36을 참조하여 설명한다. 이제 까지 설명한 방법들과 동일한 부분들에 대하여는 설명의 중복을 피하기 위하여 그에 대한 설명을 생략한다.

<122> 먼저 도32을 참조하여, 앞서 도11 및 도12a 내지 도14a를 참조하여 설명한 것과 동일하게, 주 게이트 전극 중심부 그루브(125mc) 및 바닥 게이트 전극 그루브(125b)를 형성한 후, 그루브 스페이서(127)를 제거하여 주 게이트 전극 그루브(125m) 및 바닥 게이트 전극 그루브(125b)를 형성한다. 계속 해서, 노출된 반도체 기판을 등방성 식각하여 함몰부(125r)를 형성한다. 이에 따라, 상기 주 게이트 전극 그루브(125m), 바닥 게이트 전극 그루브(125b) 및 상기 함몰부(125r')가 게이트 전극을 한정하는 게이트 전극 그루브(125)를 구성한다.

<123> 이때, 본 실시예에 따르면, 상기 함몰부(125r')는 약 50Å 내외의 깊이로 아주 얕게 형성된다. 상기 함몰부(125r)의 폭은 상기 주 게이트 전극 그루브(125m)의 폭보다 크지 않도록 상기 함몰부(125r')가 형성된다.

<124> 다음 도33을 참조하여, 상기 함몰부(125r') 표면 상에 게이트 절연막(132)을 형성한다. 상기 게이트 절연막(132)은 열산화 공정 등을 사용하여 형성될 수 있다. 앞서 설명한 실시예들의 절연막(132)과 달리, 본 실시예에 따른 상기 게이트 절연막(132)은 동일한 두께로 형성된다. 이어서; 상기 게이트 전극 그루브(125)를 완전히 채우도록 평탄화 버퍼박(119) 상에 게이트 전극 물질(133)을 형성한다.

<125> 다음 도34를 참조하여, 상기 희생 질화막(117)의 상부가 노출될 때까지 평탄화 공정을 진행하여 게이트 전극(135)을 형성한다. 상기 게이트 전극(135)은 상기 함몰부(125r')을 채우는 함몰 게이트 전극(135r'), 상기 바닥 게이트 전극 그루브(125b)를 채우는 바닥 게이트 전극(135b) 및 상기 주 게이트 전극 그루브(125m)을 채우는 주 게이트 전극(135m)으로 구성된다.

<126> 다음, 도35를 참조하여, 상기 희생 질화막(117)을 제거하여 상기 패드 산화막(115) 및 상기 게이트 전극(135), 즉, 상기 주 게이트 전극(135m)을 노출시킨다. 계속해서 이온 주입 공정을 진행하여 저농도 불순물 영역(139)를 형성한다.

<127> 다음 도36을 참조하여, 상기 저농도 불순물 영역(139)이 형성된 결과물 전면에, 앞서 설명한 방법과 동일하게, 질화막을 형성한다. 계속해서, 질화막에 대한 에치백 공정을 진행하여 게이트 절연막 스페이서(141)를 형성한다. 이때, 상기 베퍼 산화막(115)이 노출될 때까지 에치백 공정을 진행한다. 다음, 노출된 베퍼 산화막(115)에 대한 에치백 공정을 진행하여 상기 게이트 절연막 스페이서(141) 외측의 반도체 기판을 노출시킨다. 결과적으로 상기 게이트 절연막 스페이서(141) 하부에만 베퍼 산화막이 잔존한다(115a). 이어서, 상기 게이트 절연막 스페이서(141)를 이온 주입 마스크로 사용하여 고농도 불순물 이온을 주입하여 고농도 불순물 영역(143)을 형성한다.

<128> 본 실시예에서 함몰부(125r')가 얇게 형성되었다. 마찬가지로 앞서 도11 내지 도25를 참조하여 설명한 방법에서도 본 실시예에서와 같이 함몰부가 얇게, 즉, 약 50Å 전후로 형성될 수 있다. 이에 대하여는 도37 내지 도40을 참조하여 간략히 설명을 한다.

<129> 도37을 참조하여, 도11 및 도12a 내지 도14a 그리고 도15를 참조하여 설명한 방법과 동일하게 주 게이트 전극 중심부 그루브(125mc) 및 바닥 게이트 전극 그루브(125b)를 형성한다. 이어서 노출된 반도체 기판을 등방성 식각하여 함몰부(125r')를 얇게 형성한다. 상기 함몰부(125r')는 약 50Å 내외의 깊이로 형성된다. 이어서, 열산화 공정을 통해서 게이트 절연막(132)를 상기 얇은 함몰부(125r') 상에 형성한다.

<130> 계속해서, 상기 함몰부(125r')를 포함하여 상기 패드 절연막(115)에 의해 한정된 바닥 게이트 전극 그루브(125b) 및 상기 희생 질화막(117)에 의해 한정된 주 게이트 전극 중심부 그

루브(125mc)를 완전히 채우도록 상기 선택적인 평탄화 버퍼막(119) 상에 게이트 전극물질(133)을 형성한다.

<131> 다음 도38를 참조하여, 상기 희생 질화막(117) 상부가 노출될때까지 평탄화 공정을 진행하여, 상기 함몰부(125r'), 상기 바닥 게이트 전극 그루브(125b) 및 상기 주 게이트 전극 중심부(125mc)를 각각 채우는 함몰 게이트 전극(135r'), 바닥 게이트 전극(135b), 주 게이트 전극의 중심부(135c)를 형성한다.

<132> 다음 도39를 참조하여, 상기 희생 질화막(117) 및 상기 그루브 스페이서(127)를 제거하여 상기 주 게이트 전극 중심부(135c)를 노출시킨다. 이어서, 상기 노출된 주 게이트 전극 중심부(135c)의 양측벽에 실리사이드 스페이서(137)를 형성한다. 이로 인해 최종적인 게이트 전극(135)이 완성된다.

<133> 즉, 주 게이트 전극 중심부(135c) 및 상기 실리사이드 스페이서(137)가 주 게이트 전극(135m)을 구성하고, 상기 바닥 게이트 전극(135b) 및 상기 주 게이트 전극(135m)이 돌출 게이트 전극(135p)을 구성한다. 상기 돌출 게이트 전극(135p) 및 상기 함몰 게이트 전극(135r')이 최종적인 닻형 게이트 전극(135)를 구성한다.

<134> 다음, 상기 실리사이드 스페이서(137)를 형성한 후, 상기 노출된 패드 산화막(115)에 대한 에치백 공정을 진행하여, 상기 실리사이드 스페이서(137) 양측의 패드 산화막을 제거하여 그곳의 반도체 기판을 노출시킨다. 이에 따라, 상기 실리사이드 스페이서(137) 하부에만 패드 산화막이 남는다(115a). 계속해서 상기 실리사이드 스페이서(137) 양측에 노출된 반도체 기판에 엘디디 형성을 위한 저농도 불순물 이온을 주입하여 그곳에 저농도 불순물 영역(139)을 형성한다.

<135> 다음 도40을 참조하여, 상기 실리사이드 스페이서(137) 및 잔존하는 패드 산화막(115a) 측벽에 게이트 절연막 스페이서(141)를 형성한다. 다음, 상기 게이트 절연막 스페이서(141)를 이온주입 마스크로 사용하여, 고농도 불순물 이온을 주입하여 상기 게이트 절연막 스페이서(141) 양측의 반도체 기판에 고농도 불순물 영역(143)을 형성한다. 상기 고농도 불순물 영역(143) 및 상기 저농도 불순물 영역(139)이 소오스/드레인 영역을 구성한다.

<136> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

### 【발명의 효과】

<137> 이상에서 설명한 본 발명에 따르면, 반도체 기판을 함몰 시키고 그 바닥에는 얇은 게이트 절연막을 형성하고 그 측벽에는 두꺼운 절연막을 형성한다. 이에 따라, 함몰부 측벽의 두꺼운 절연막으로 인해 함몰부 형성에 따른 게이트 전극 및 기판 사이의 기생 커패시턴스 증가를 억제할 수 있다.

<138> 또, 함몰부 바닥에 유효 게이트 절연막이 형성되기 때문에, 고속도 및 저전력 소모 단체  
널 소자를 형성할 수 있다.

<139> 또, 게이트 측벽에 실리사이드막을 형성하여 소자 저항을 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

함몰부를 갖는 반도체 기판;

상기 함몰부를 채우면서 상기 반도체 기판 표면 위쪽으로 돌출하여 상기 반도체 기판을 가로지르는 게이트 전극;

상기 반도체 기판 및 함몰부를 채우는 함몰 게이트 전극 사이에 개재하는 절연막을 포함하되,

상기 반도체 기판 표면 위쪽으로 돌출한 돌출 게이트 전극은 상기 함몰 게이트 전극에 연속하며 상기 함몰부의 폭보다 좁은 바닥 게이트 전극 및 상기 바닥 게이트 전극에 연속하며 상기 함몰부의 폭보다 넓은 주 게이트 전극으로 구성되는 반도체 소자.

**【청구항 2】**

제1항에 있어서,

상기 절연막은 상기 함몰부 양측벽에 형성된 제1두께의 버퍼 게이트 절연막 및 상기 버퍼 게이트 절연막에서 연속하여 상기 함몰부 바닥에 형성된 상기 제1두께보다 상대적으로 얇은 제2두께를 갖는 게이트 절연막으로 이루어지는 반도체 소자.

**【청구항 3】**

제2항에 있어서,

상기 게이트 절연막의 끝단은 상기 바닥 게이트 전극의 외측벽에 일치되는 반도체 소자.

**【청구항 4】**

제1항 또는 제3항에 있어서,

상기 주 게이트 전극은 상기 바닥 게이트 전극과 동일한 게이트 길이를 가지면서 상기 바닥 게이트 전극에 연속하는 주 게이트 전극 중심부 및 상기 주 게이트 전극 중심부 양측벽에 배치된 실리사이드 스페이서로 이루어지며,

상기 함몰부 끝단은 상기 실리사이드 스페이서 외측벽 및 상기 바닥 게이트 전극 외측벽 사이에 위치하는 반도체 소자.

**【청구항 5】**

제1항에 있어서,

상기 버퍼 절연막 일부 및 상기 돌출 게이트 전극의 양측벽 상에 배치된 질화막 라이너를 더 포함하는 반도체 소자.

**【청구항 6】**

제4항에 있어서,

상기 바닥 게이트 전극 양측벽에서 확장하여 상기 금속 실리사이드 스페이서 외측벽에 정렬되는 버퍼 절연막;

상기 금속 실리사이드 스페이서 및 상기 버퍼 절연막 외측벽에 배치된 절연막 스페이서;

상기 주 게이트 전극 중심부 상부 표면 및 상기 절연막 스페이서 양측의 반도체 기판에 배치된 금속 실리사이드막을 더 포함하는 반도체 소자.

**【청구항 7】**

제1항에 있어서,

상기 주 게이트 전극 외측벽 및 하부 표면에 배치된 절연막 스페이서;

상기 바닥 게이트 전극 외측벽에서 확장하여 상기 절연막 스페이서 외측벽에 정렬된 벼  
파 절연막을 더 포함하는 반도체 소자.

#### 【청구항 8】

제6항에 있어서,

상기 벼파 절연막은 산화막이고 상기 절연막 스페이서는 질화막인 반도체 소자.

#### 【청구항 9】

제7항에 있어서,

상기 벼파 절연막은 산화막이고 상기 절연막 스페이서는 질화막인 반도체 소자.

#### 【청구항 10】

제2항에 있어서,

상기 함몰부의 표면은 부드러운 곡선인 반도체 소자.

#### 【청구항 11】

제6항에 있어서,

상기 벼파 절연막 및 절연막 스페이서 하부의 반도체 기판에 한정된 저농도 불순물 영  
역;

상기 저농도 불순물 영역에 연속하며 상기 절연막 스페이서 양측의 반도체 기판에 한정  
된 고농도 불순물 영역을 더 포함하는 반도체 소자.

**【청구항 12】**

제7항에 있어서,

상기 버퍼 절연막 및 절연막 스페이서 하부의 반도체 기판에 한정된 저농도 불순물 영역;

상기 저농도 불순물 영역에 연속하여 상기 절연막 스페이서 양측의 반도체 기판에 한정된 고농도 불순물 영역을 더 포함하는 반도체 소자.

**【청구항 13】**

함몰부를 갖는 반도체 기판;

상기 함몰부를 채우면서 상기 반도체 기판 표면 위쪽으로 돌출한 게이트 전극;

상기 함몰부를 채우는 함몰 게이트 전극 및 상기 반도체 기판 사이에 개재하는 절연막을 포함하되,

상기 절연막은 상기 함몰부 양측벽에 배치된 제1두께의 버퍼 절연막 및 상기 버퍼 절연막에 연속하여 상기 함몰부 부닥에 배치된 상기 제1두께보다 얇은 제2두께의 게이트 절연막으로 구성되고,

상기 반도체 기판 표면 위로 돌출한 돌출 게이트 전극은,

상기 함몰부의 폭보다 좁은 바닥 게이트 전극;

상기 바닥 게이트 전극에 연속하는 주 게이트 전극 중심부 및 그 양측벽에 배치된 금속 실리사이드 스페이서를 포함하는 반도체 소자.

**【청구항 14】**

제13항에 있어서,

상기 바닥 게이트 전극 양 측벽에서 연장하여 상기 금속 실리사이드 스페이서 외측벽 정렬되는 버퍼 절연막;

상기 금속 실리사이드 스페이서 및 버퍼 절연막 외측벽에 배치된 절연막 스페이서;

상기 주 게이트 전극 중심부의 상부 표면 및 상기 절연막 스페이서 양측의 반도체 기판 상에 배치된 금속 실리사이드막을 더 포함하는 반도체 소자.

#### 【청구항 15】

제14항에 있어서,

상기 버퍼 절연막은 산화막이고 상기 절연막 스페이서는 질화막인 반도체 소자.

#### 【청구항 16】

제13항에 있어서,

상기 바닥 게이트 전극의 외측벽은 상기 게이트 절연막의 양끝단에 정렬되는 반도체 소자.

#### 【청구항 17】

반도체 기판 상에 패드 산화막 및 희생 질화막을 차례로 형성하는 단계;

상기 희생 질화막 및 패드 산화막을 관통하고 상기 반도체 기판을 노출시키는 돌출 게이트 전극 그루브를 형성하는 단계;

상기 노출된 반도체 기판을 등방성 식각하여 함몰부를 형성하는 단계;

상기 함몰부 표면에 절연막을 형성하는 단계;

상기 절연막이 형성된 함몰부 및 상기 돌출 게이트 전극 그루브를 채우는 게이트 전극을 형성하는 단계;

상기 희생 질화막을 제거하는 단계;

노출된 게이트 전극 양측벽에 게이트 절연막 스페이서를 형성하는 단계를 포함하는 반도체 소자 제조 방법.

#### 【청구항 18】

제17항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

#### 【청구항 19】

제17항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제 1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계;

상기 라이너 질화막을 이방성 식각하는 단계;

노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

#### 【청구항 20】

제17항에 있어서,

상기 돌출 게이트 전극 그루브를 형성하는 단계는,

상기 희생 질화막 상에 상기 게이트 전극 그루브 상부의 길이에 대응하는 개구부를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 상기 희생 질화막을 식각하여 상기 희생 질화막 내에 주 게이트 전극 그루브를 형성하는 단계;

상기 주 게이트 전극 그루브 측벽에 희생 스페이서를 형성하는 단계;

상기 반도체 기판이 노출되도록 상기 희생 스페이서에 의해 노출된 막질을 식각하여 바닥 게이트 전극 그루브를 형성하는 단계;

상기 희생 스페이서를 제거하는 단계를 포함하여 이루어지는 반도체 소자 제조 방법.

#### 【청구항 21】

제20항에 있어서,

상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 전체가 식각되어 상기 패드 산화막이 노출되는 반도체 소자 제조 방법.

#### 【청구항 22】

제20항에 있어서,

상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 일부 두께가 식각되어 상기 주 게이트 전극 그루브의 높이가 상기 희생 질화막의 두께보다 작은 반도체 소자 제조 방법.

### 【청구항 23】

제21항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

### 【청구항 24】

제23항에 있어서,

상기 버퍼 게이트 산화막을 형성 한 후 채널 이온 주입 공정을 진행하는 단계;

상기 희생 질화막 제거 후 저농도 불순물 이온 주입 공정을 진행하는 단계;

상기 게이트 절연막 스페이서를 형성한 후 상기 게이트 절연막 스페이서를 마스크로 사용하여 노출된 패드 산화막을 이방성 식각하여 상기 게이트 절연막 스페이서 양측의 반도체 기판을 노출시키는 단계;

상기 노출된 반도체 기판에 고농도 불순물 이온 주입 공정을 진행하는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 25】**

제21항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계;

상기 라이너 질화막을 이방성 식각하는 단계;

노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;  
제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

**【청구항 26】**

제17항에 있어서,

상기 돌출 게이트 전극 그루브를 형성하는 단계는,

상기 희생 질화막 상에 상기 돌출 게이트 전극 그루브 상부의 길이에 대응하는 개구부를 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 상기 희생 질화막을 식각하여 상기 희생 질화막 내에 주 게이트 전극 그루브를 형성하는 단계;

상기 주 게이트 전극 그루브 측벽에 희생 스페이서를 형성하는 단계;

상기 반도체 기판이 노출되도록 상기 희생 스페이서에 의해 노출된 막질을 식각하는 단계를 포함하여 이루어지고,

이때, 상기 희생 질화막을 제거하는 단계에서 상기 희생 스페이서도 동시에 제거되며,

상기 희생 질화막 및 희생 스페이서를 제거한 후, 상기 게이트 전극 측벽에 금속 실리사이드 스페이서를 형성하는 단계;

상기 금속 실리사이드 스페이서를 마스크로 사용하여 노출된 패드 산화막을 이방성 식각하여 상기 금속 실리사이드 스페이서 양측의 반도체 기판을 노출시키는 단계를 더 포함하며,

상기 게이트 절연막 스페이서는 상기 금속 실리사이드 스페이서 양측벽 및 상기 이방성 식각된 패드 산화막 측벽에 형성되는 반도체 소자 제조 방법.

#### 【청구항 27】

제26항에 있어서,

상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 전체가 식각되어 상기 패드 산화막이 노출되는 반도체 소자 제조 방법.

#### 【청구항 28】

제26항에 있어서,

상기 주 게이트 전극 그루브를 형성하는 단계에서, 상기 희생 질화막 일부 두께가 식각되어 상기 주 게이트 전극 그루브의 높이가 상기 희생 질화막의 두께보다 작은 반도체 소자 제조 방법.

#### 【청구항 29】

제27항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,  
제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;  
상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;  
제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

#### 【청구항 30】

제29항에 있어서,  
상기 버퍼 게이트 산화막을 형성 한 후 채널 이온 주입 공정을 진행하는 단계;  
상기 금속 실리사이드 스페이서 형성 후 저농도 불순물 이온 주입 공정을 진행하는 단계;  
상기 게이트 절연막 스페이서를 형성한 후 고농도 불순물 이온 주입 공정을 진행하는 단계를 더 포함하는 반도체 소자 제조 방법.

#### 【청구항 31】

제27항에 있어서,  
상기 함몰부 표면에 절연막을 형성하는 단계는,  
제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;  
상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계;  
상기 라이너 질화막을 이방성 식각하는 단계;

노출된 상기 베퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 베퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 베퍼 게이트 산화막은 잔류시키는 단계; 제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

#### 【청구항 32】

제23항에 있어서,

상기 함몰부는 그 양끝단이 각각 상기 바닥 게이트 전극 그루브의 양끝단 및 상기 주 게이트 전극 그루브의 양끝단 사이에 위치하도록 형성되는 반도체 소자 제조 방법.

#### 【청구항 33】

제29항에 있어서,

상기 함몰부는 그 끝단이 각각 상기 바닥 게이트 전극 그루브의 외측에 위치하도록 형성되고, 상기 금속 실리사이드 스페이서의 외측이 상기 함몰부 끝단에 위치하도록 형성되는 반도체 소자 제조 방법.

#### 【청구항 34】

제17항에 있어서,

상기 절연막이 형성된 함몰부 및 상기 돌출 게이트 전극 그루브를 채우는 게이트 전극을 형성하는 단계는,

상기 희생 질화막 상에 상기 돌출 게이트 전극 그루브를 채우도록 도전물질을 형성하는 단계;

상기 희생 질화막이 노출될 때까지 상기 평탄화 공정을 진행하는 단계를 포함하여 이루  
어지는 반도체 소자 제조 방법.

### 【청구항 35】

제17항에 있어서,

상기 희생 질화막 상에 희생 절연막을 형성하는 단계를 더 포함하고, 이때, 상기 돌출  
게이트 전극 그루브는 상기 희생 절연막도 관통을 하며,  
상기 절연막이 형성된 함몰부 및 상기 돌출 게이트 전극 그루브를 채우는 게이트 전극을  
형성하는 단계는,

상기 희생 절연막 상에 상기 돌출 게이트 전극 그루브를 채우도록 도전물질을 형성하는  
단계;

상기 희생 질화막이 노출될 때까지 평탄화 공정을 진행하는 단계를 포함하여 이루어지는  
반도체 소자 제조 방법.

### 【청구항 36】

반도체 기판 상에 패드 산화막, 희생 질화막 및 평탄화 버퍼막을 차례로 형성하는 단계;  
상기 평탄화 버퍼막 및 버퍼 질화막을 패터닝하여 주 게이트 전극 그루브를 형성하는  
단계;

상기 주 게이트 전극 그루브 양측벽에 희생 스페이서를 형성하여 그 치수를 좁히는 단계  
;

상기 희생 스페이서에 의해 노출된 하부 막을 식각하여 상기 반도체 기판의 소정 부분을  
노출시키는 바닥 게이트 전극 그루브를 형성하는 단계;



상기 노출된 반도체 기판을 등방성 식각하여 상기 주 게이트 전극 그루브의 폭보다는 좁고 상기 바닥 게이트 전극 그루브의 폭보다는 넓은 폭을 갖는 함몰부를 형성하는 단계;

상기 함몰부 표면에 절연막을 형성하는 단계;

상기 함몰부, 상기 바닥 게이트 전극 그루브 및 상기 희생 스페이서에 의해 좁혀진 주 게이트 전극 그루브를 채우도록 상기 평탄화 버퍼막 상에 도전물질을 형성하는 단계;

상기 희생 질화막 상부가 노출될 때까지 평탄화 공정을 진행하여 닻형 게이트 전극을 형성하는 단계;

상기 희생 질화막 및 상기 희생 스페이서를 제거하는 단계를 포함하는 반도체 소자 제조 방법.

### 【청구항 37】

제36항에 있어서,

상기 닻형 게이트 전극 측벽에 금속 실리사이드 스페이서를 형성하되, 상기 금속 실리사이드 스페이서의 외벽이이 상기 주 게이트 전극 그루브 외측에 정렬되도록 형성되는 단계를 더 포함하는 반도체 소자 제조 방법.

### 【청구항 38】

제37항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

### 【청구항 39】

제38항에 있어서,

상기 버퍼 게이트 산화막을 형성한 후 채널 이온 주입 공정을 진행하는 단계;

상기 금속 실리사이드 스페이서 형성 후 저농도 불순물 이온 주입 공정을 진행하는 단계

;

상기 게이트 절연막 스페이서를 형성한 후 고농도 불순물 이온 주입 공정을 진행하는 단계를 더 포함하는 반도체 소자 제조 방법.

### 【청구항 40】

제37항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계;

상기 라이너 질화막을 이방성 식각하는 단계;

노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

**【청구항 41】**

제39항에 있어서,

고농도 불순물 이온 주입 공정을 진행 한 후, 상기 게이트 전극 상부 및 상기 게이트 절연막 양측의 반도체 기판에 금속 실리사이드막을 형성하는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 42】**

제36항에 있어서,

상기 도전물질을 형성하기 전에 상기 희생 절연막을 제거하는 단계를 더 포함하는 반도체 소자 제조 방법.

**【청구항 43】**

제42항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,  
제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;  
상기 버퍼 게이트 산화막에 대한 이방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;  
제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

**【청구항 44】**

제43항에 있어서,

상기 버퍼 게이트 산화막을 형성 한 후 채널 이온 주입 공정을 진행하는 단계를 더 포함하고,

상기 희생 질화막 및 상기 희생 스페이서를 제거한 후, 상기 게이트 전극을 이온 주입 마스크로 사용하여 상기 반도체 기판에 저농도 불순물 이온을 주입하는 단계;

상기 게이트 전극 측벽에 게이트 절연막 스페이서를 형성하는 단계;

상기 게이트 절연막 스페이서를 식각 마스크로 사용하여 그 외측에 노출된 패드 산화막을 이방성 식각하여 반도체 기판을 노출시키는 단계;

상기 게이트 절연막 스페이서를 이온 주입 마스크로 사용하여 상기 노출된 반도체 기판에 고농도 불순물 이온을 주입하는 단계를 더 포함하는 반도체 소자 제조 방법.

#### 【청구항 45】

제42항에 있어서,

상기 함몰부 표면에 절연막을 형성하는 단계는,

제1열산화 공정을 진행하여 제1두께를 갖는 버퍼 게이트 산화막을 형성하는 단계;

상기 돌출 게이트 전극 그루브 내벽 및 상기 버퍼 게이트 산화막 상에 라이너 질화막을 형성하는 단계;

상기 라이너 질화막을 이방성 식각하는 단계;

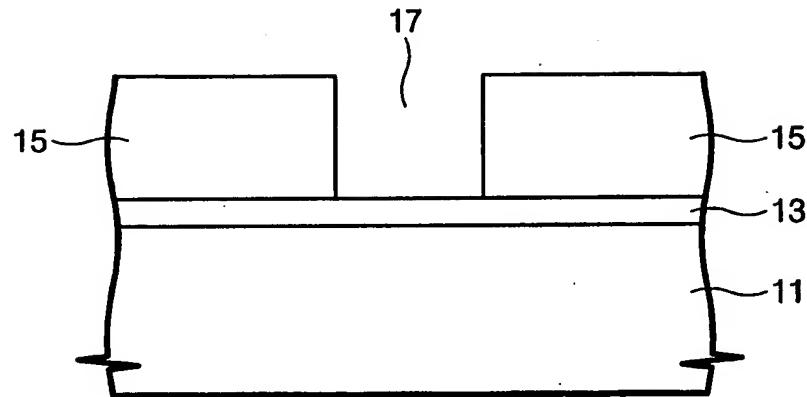
노출된 상기 버퍼 게이트 산화막에 대한 등방성 식각을 진행하여 상기 함몰부 바닥의 버퍼 게이트 산화막은 제거하고 상기 함몰부 양측벽의 버퍼 게이트 산화막은 잔류시키는 단계;

제2열산화 공정을 진행하여 상기 제1두께보다 얇은 게이트 산화막을 상기 함몰부 바닥 표면에 형성하는 단계로 이루어지는 반도체 소자 제조 방법.

## 【도면】

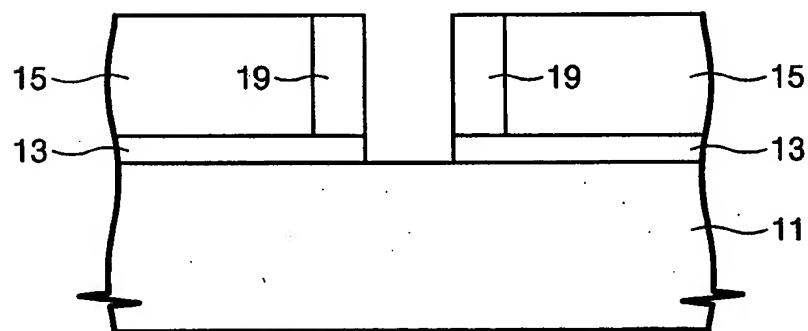
【도 1】

(종래 기술)



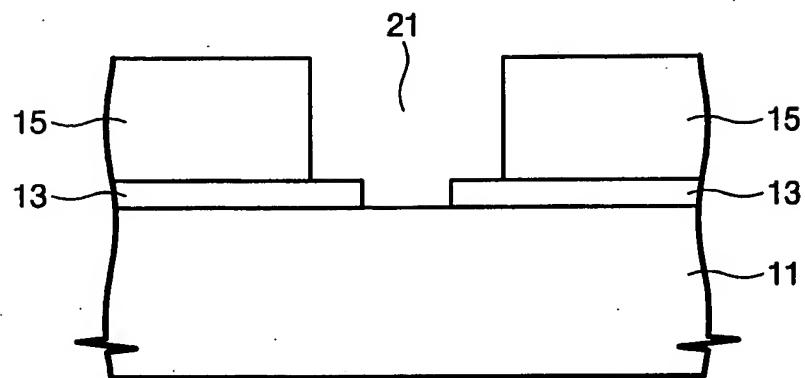
【도 2】

(종래 기술)



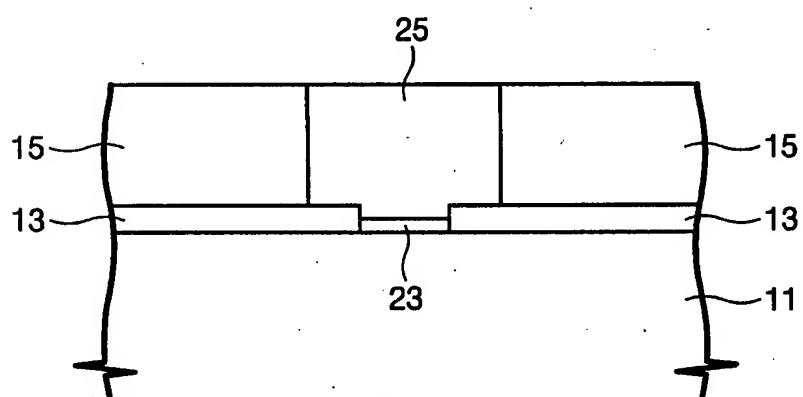
【도 3】

(종래 기술)



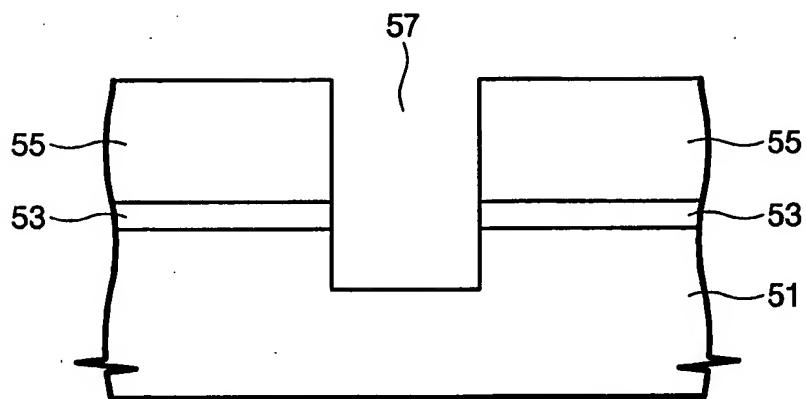
【도 4】

(종래 기술)



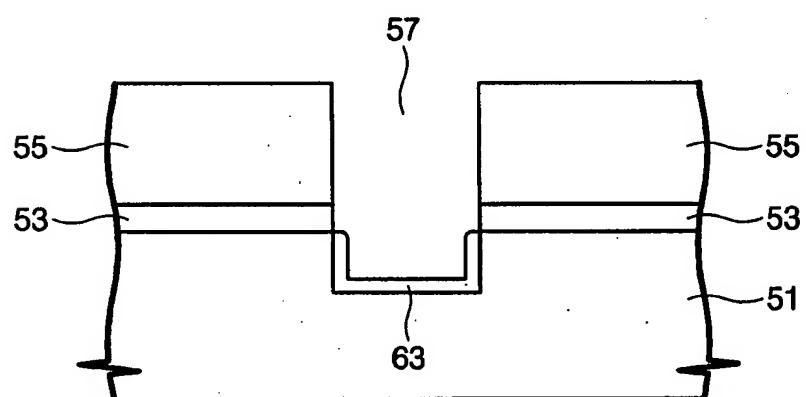
【도 5】

(종래 기술)



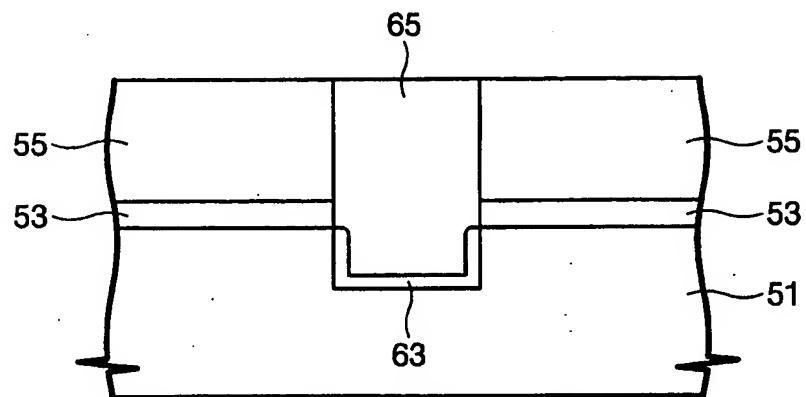
【도 6】

(종래 기술)

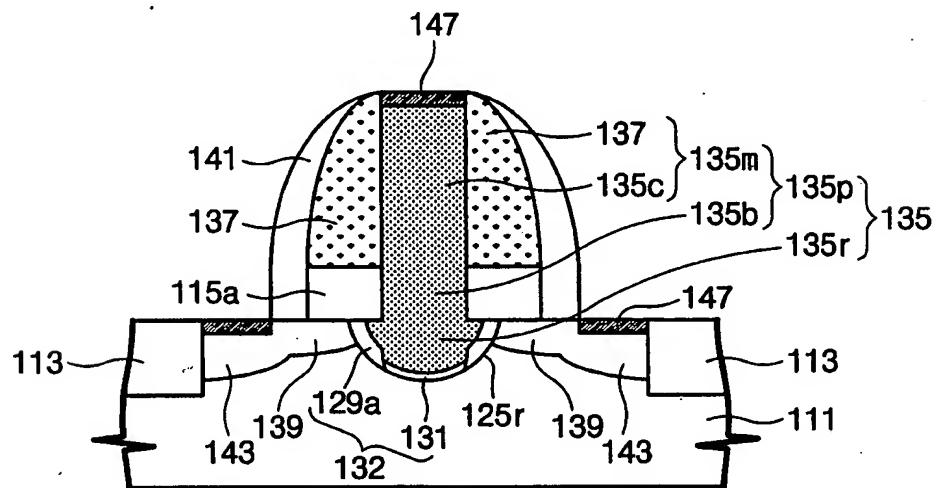


【도 7】

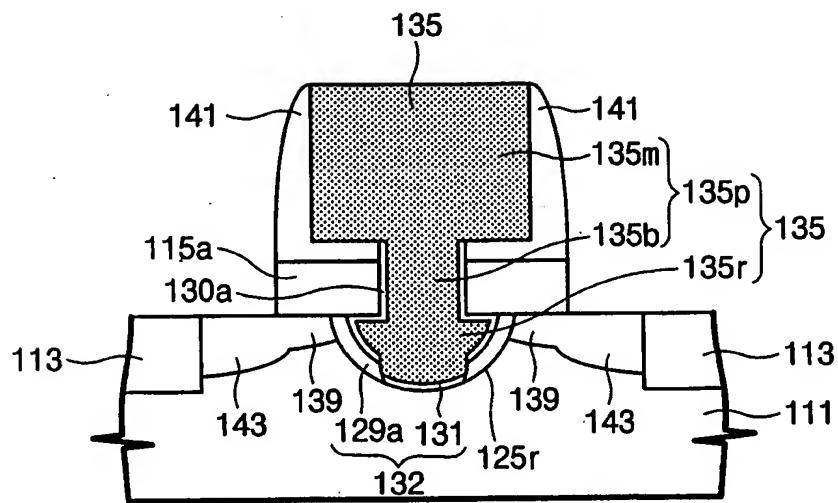
(종래 기술)



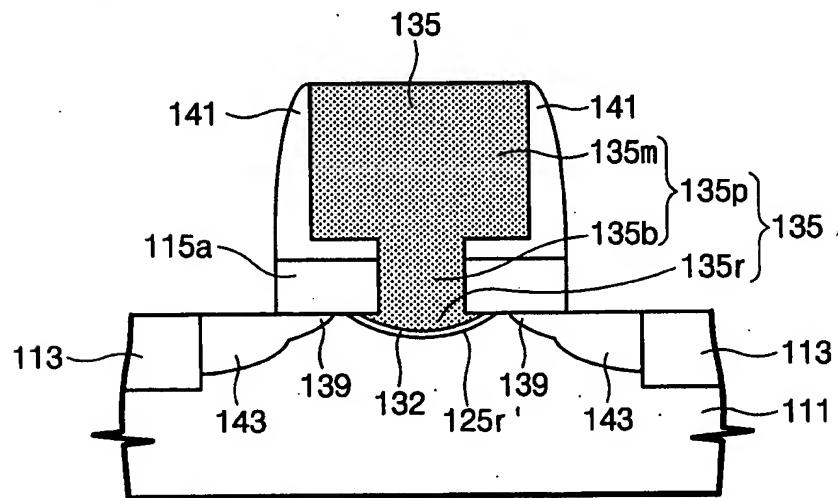
【도 8】



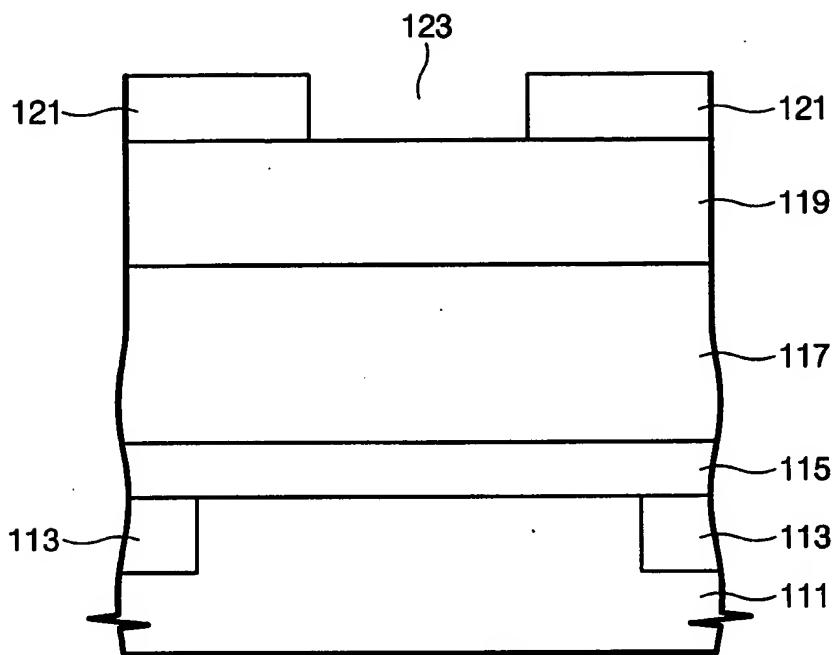
【도 9】



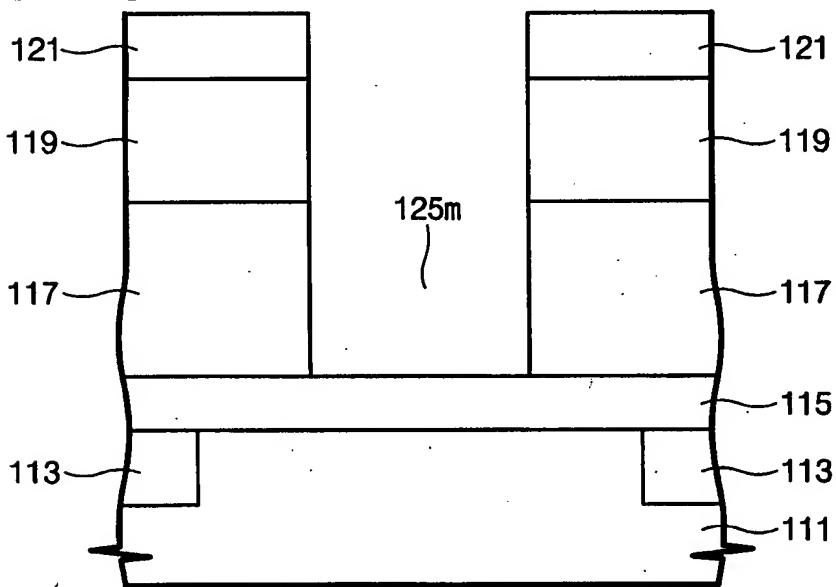
【도 10】



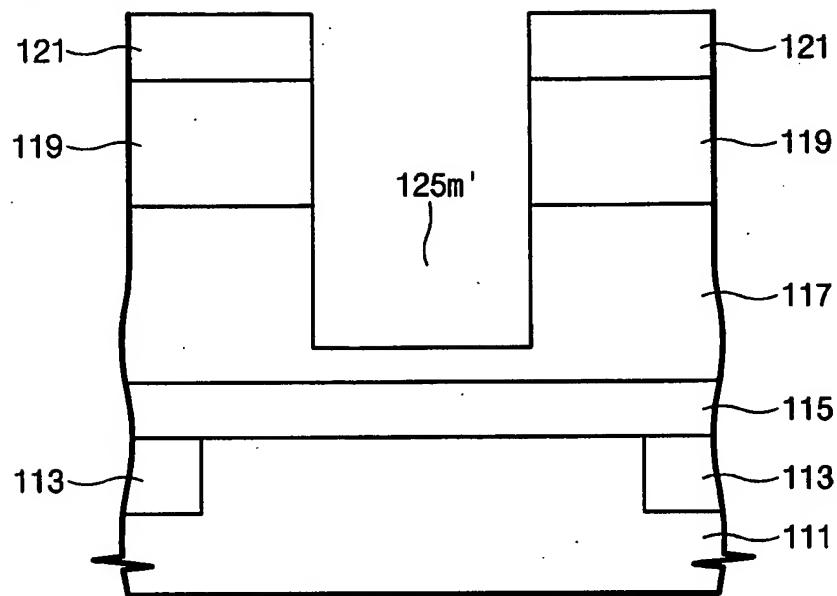
【도 11】



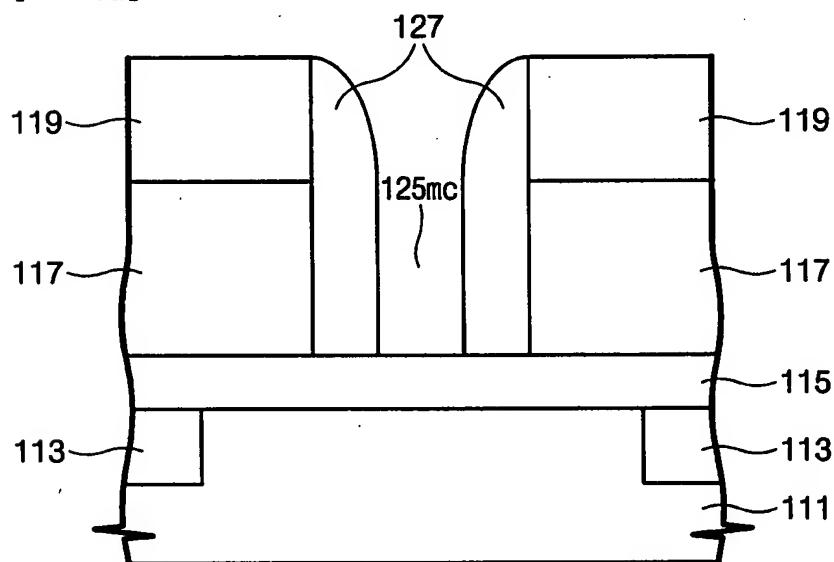
【도 12a】



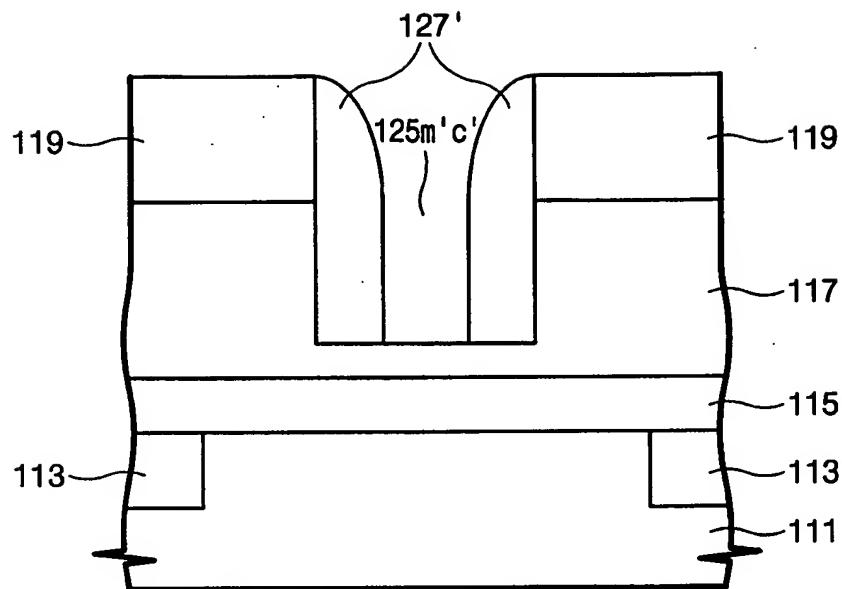
【도 12b】



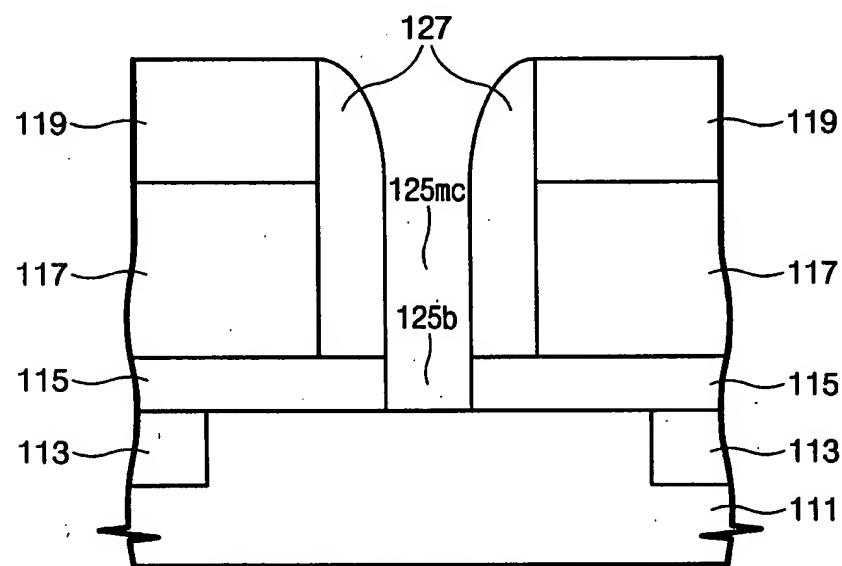
【도 13a】



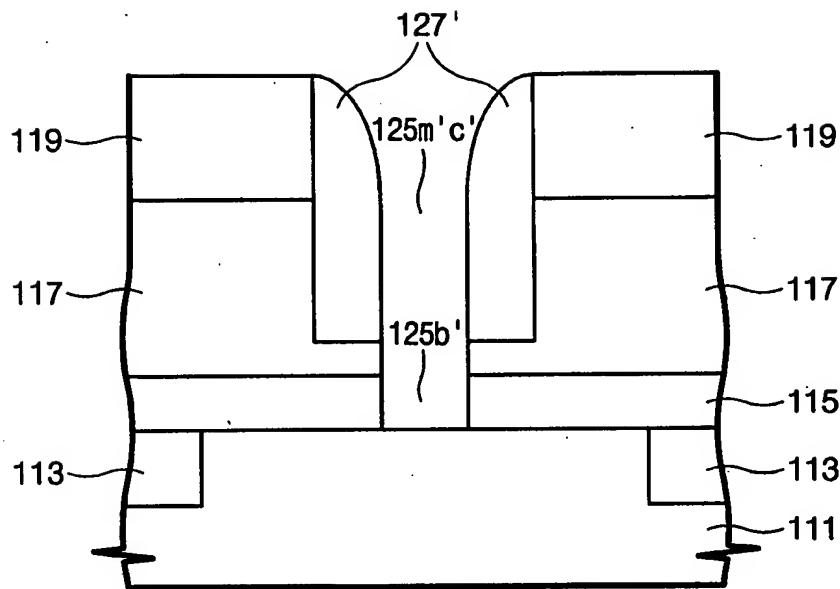
【도 13b】



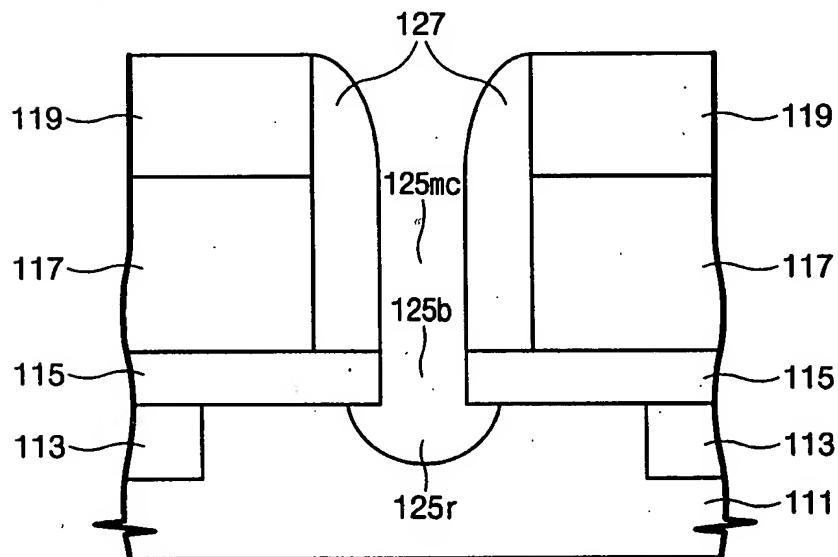
【도 14a】



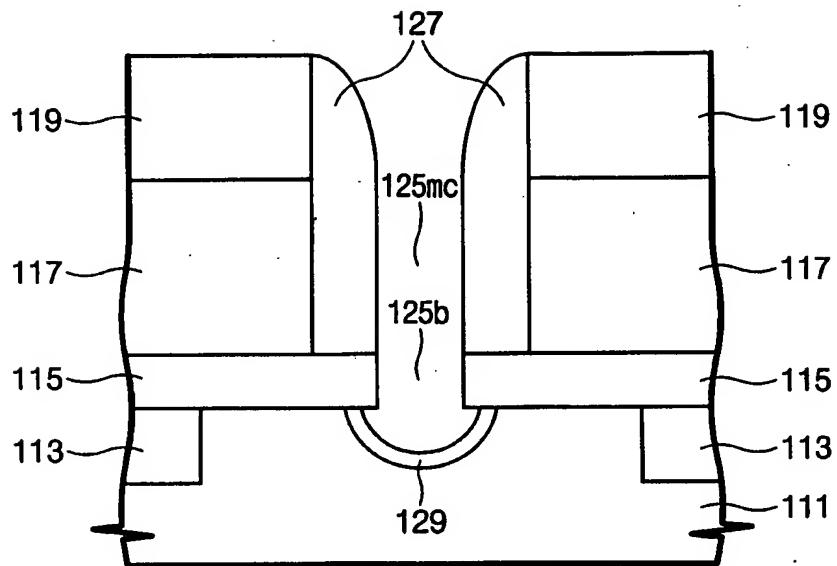
【도 14b】



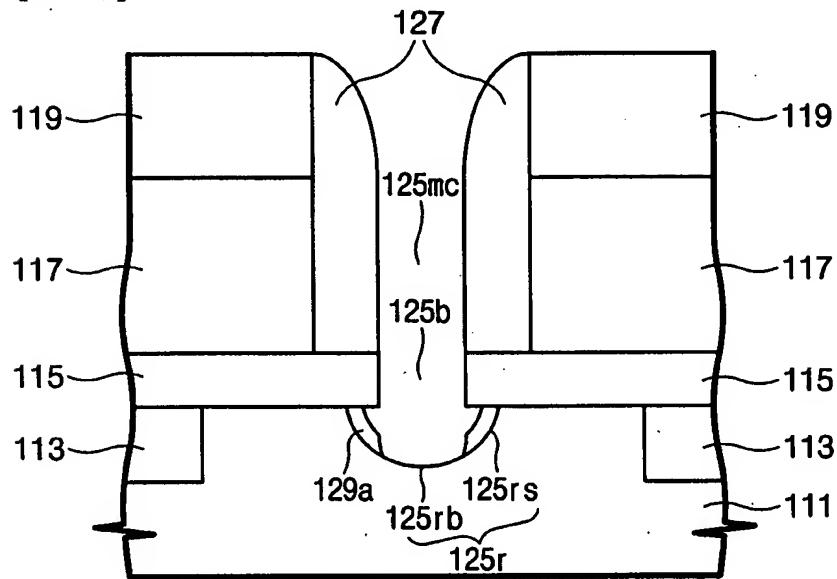
【도 15】



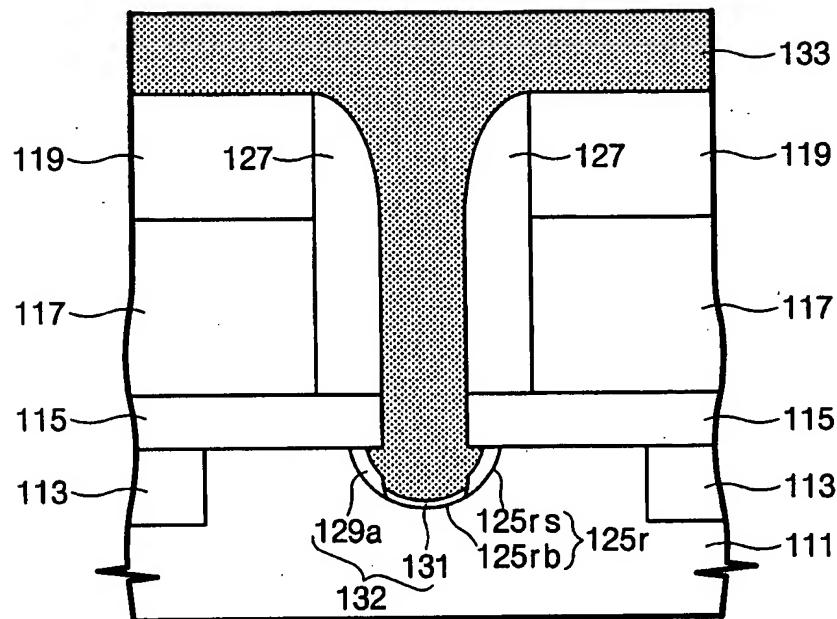
【도 16】



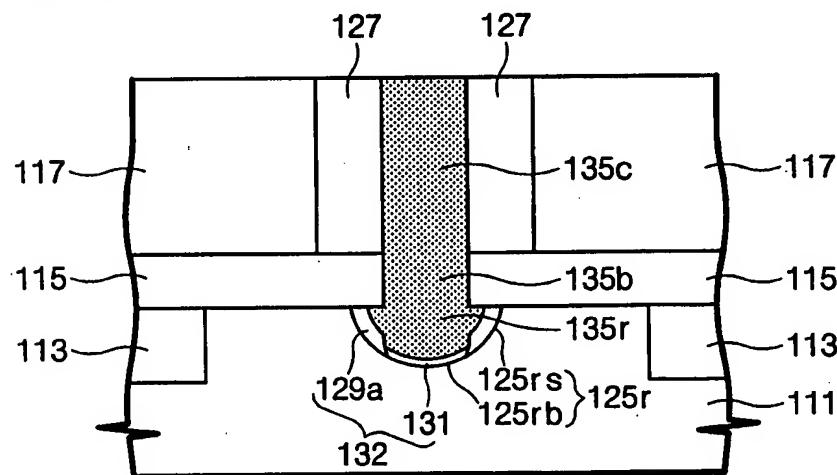
【도 17】



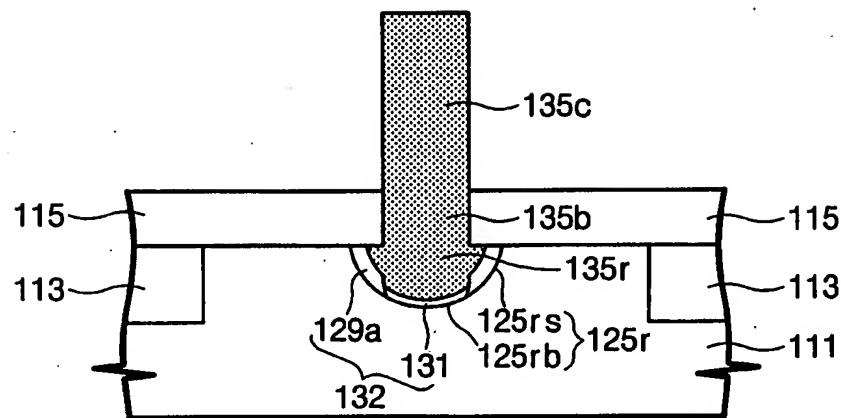
【도 18】



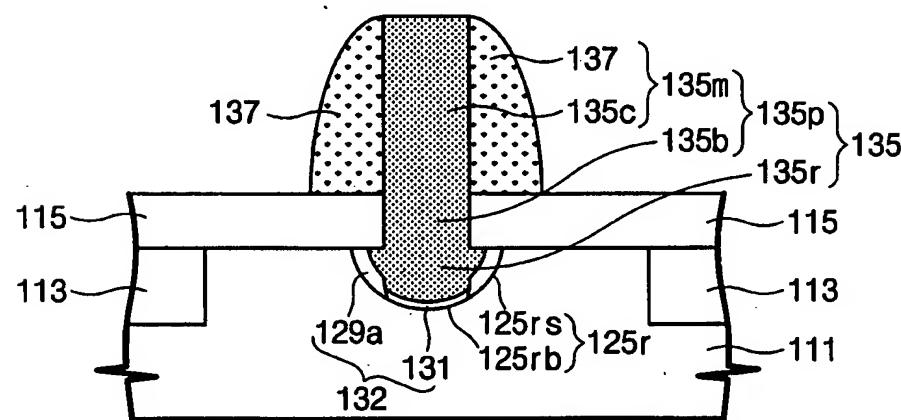
【도 19】



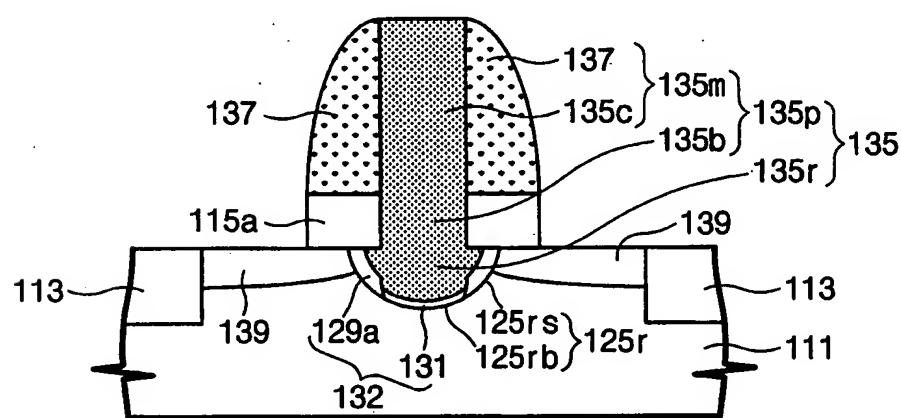
【도 20】



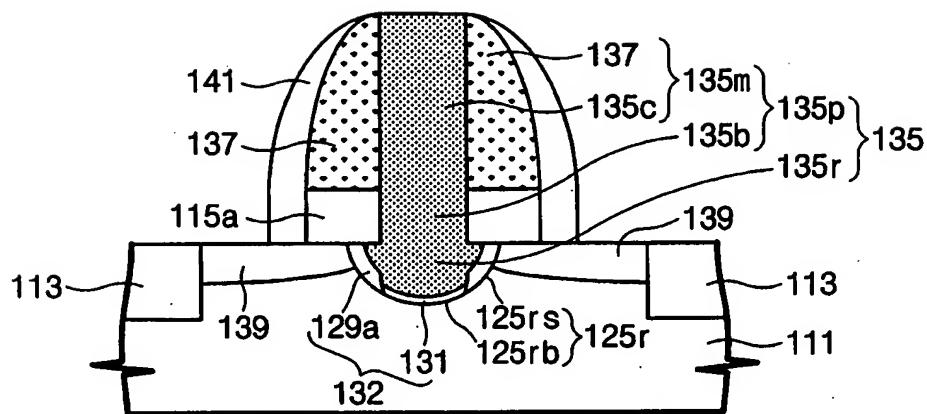
【도 21】



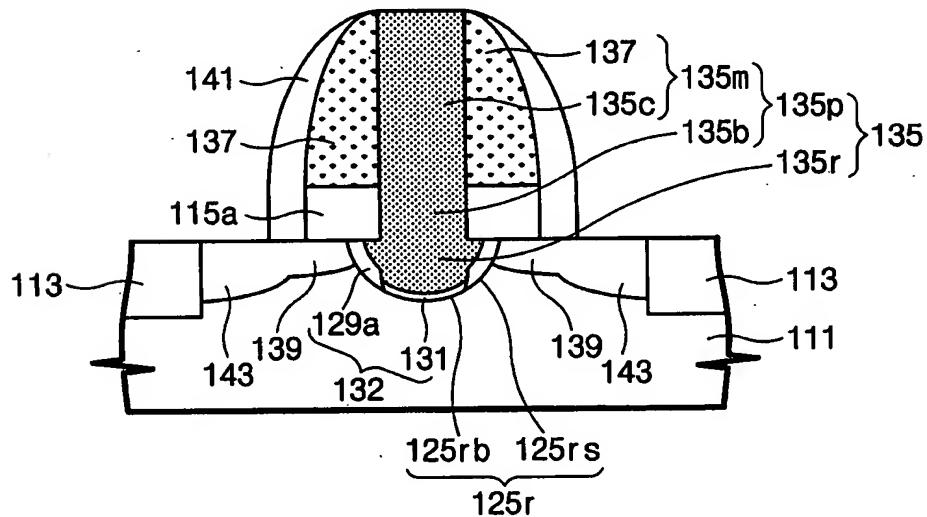
【도 22】



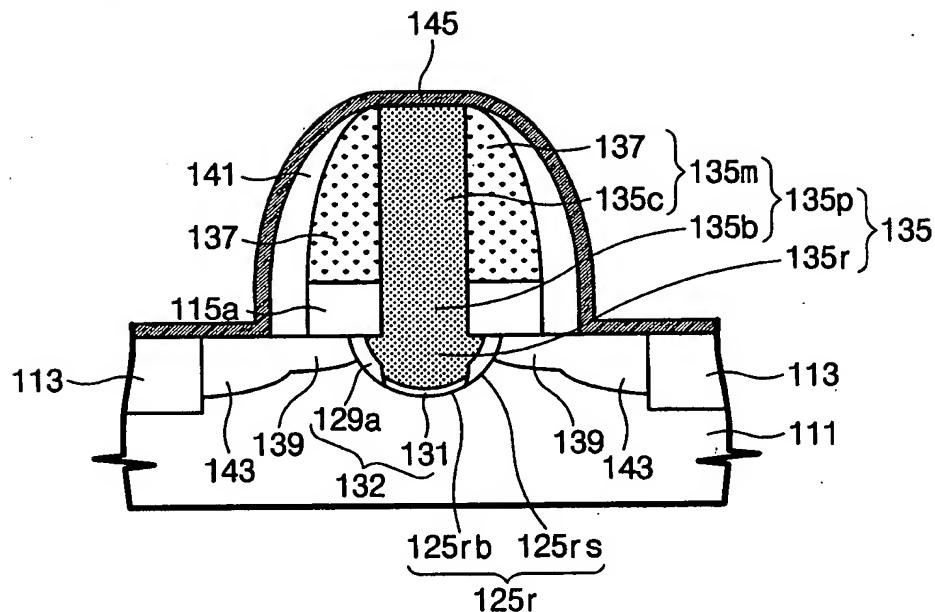
【도 23】



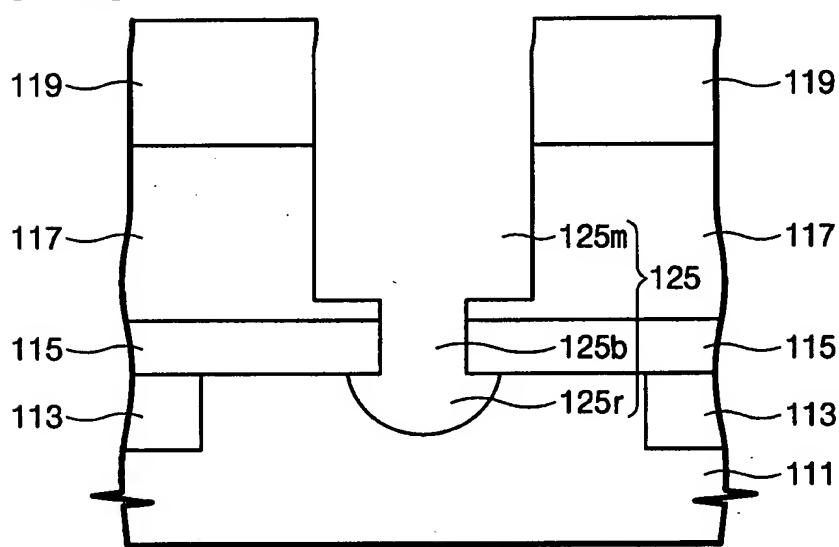
【도 24】



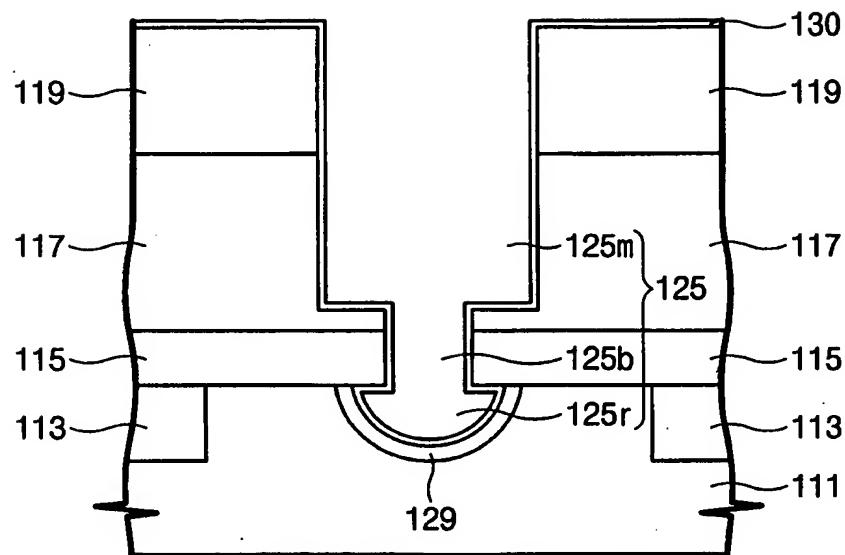
【도 25】



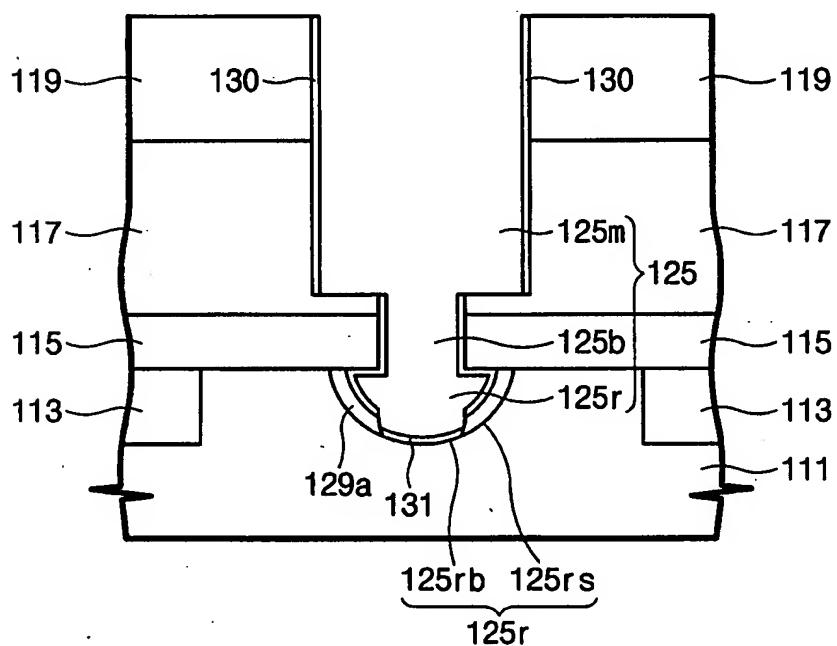
【도 26】



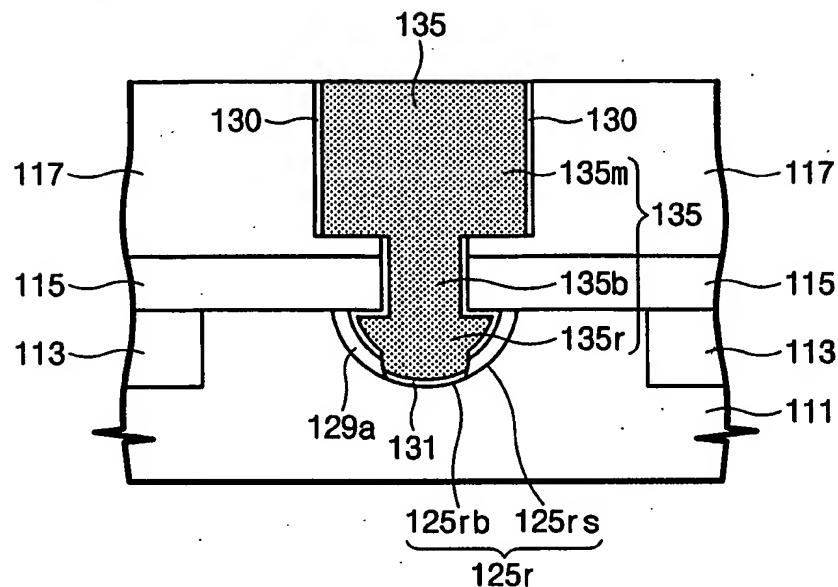
【도 27】



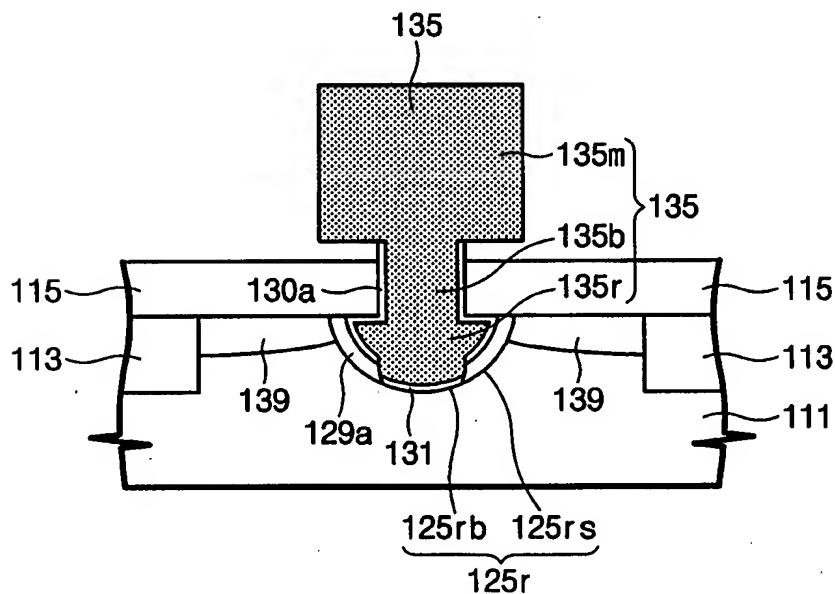
【도 28】



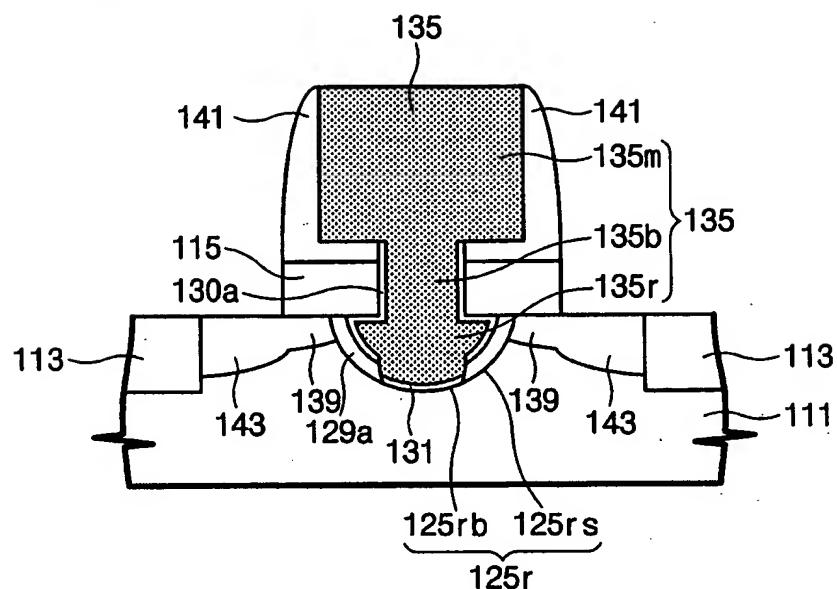
【도 29】



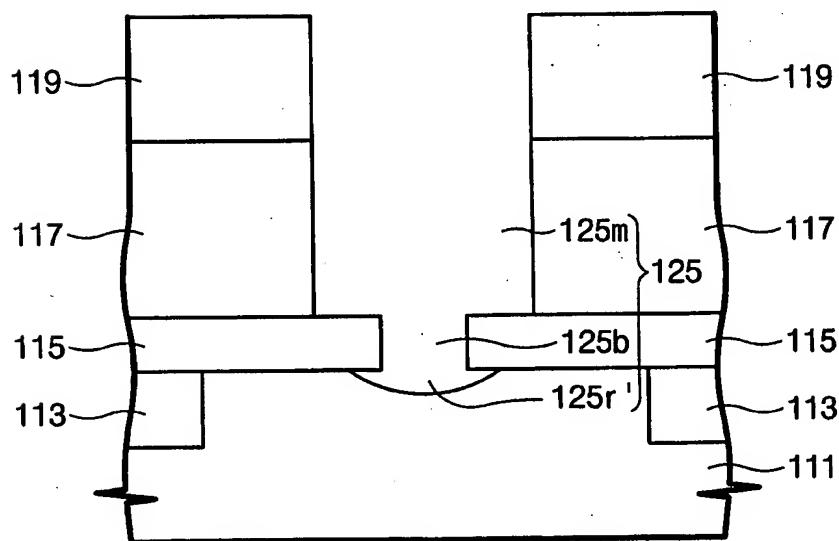
【도 30】



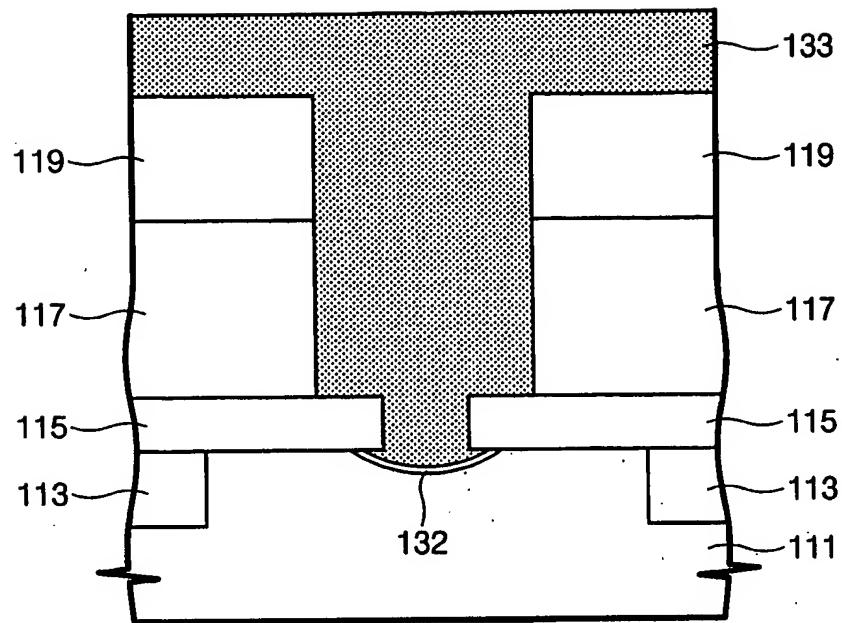
【도 31】



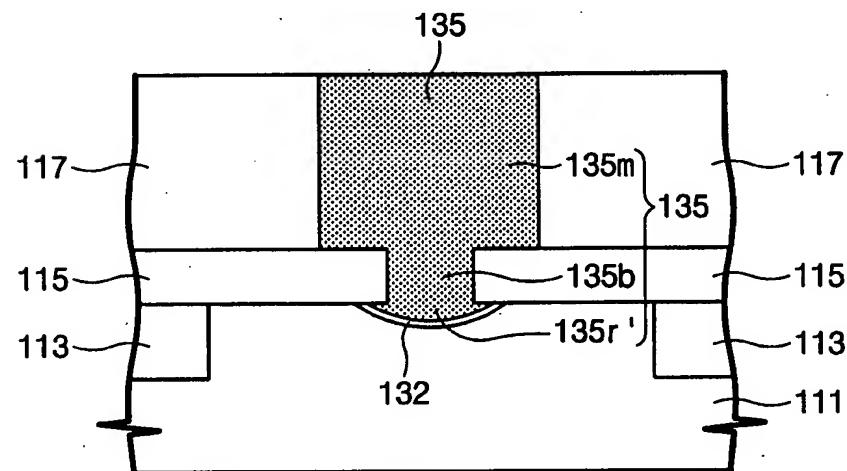
【도 32】



【도 33】



【도 34】

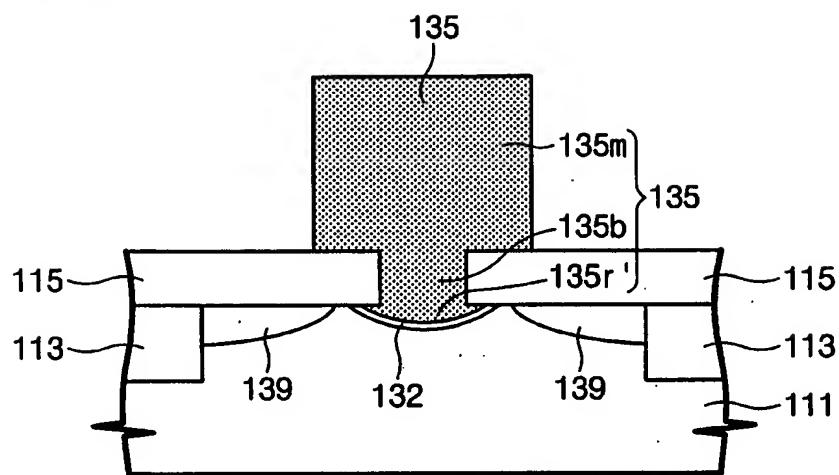




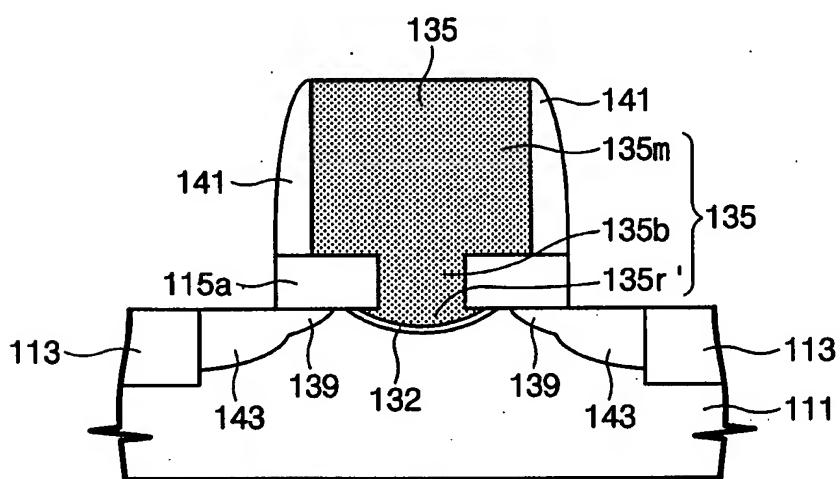
1020020081091

출력 일자: 2003/12/16

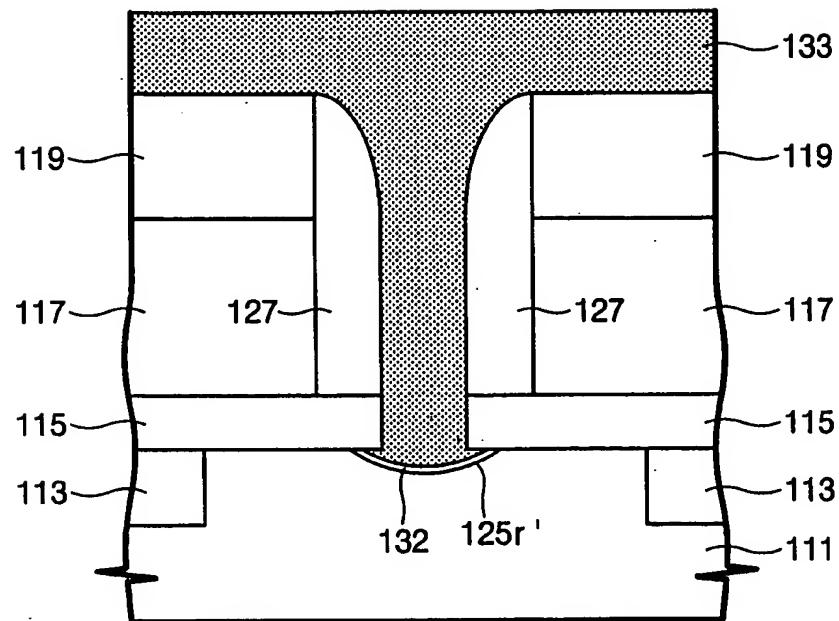
【도 35】



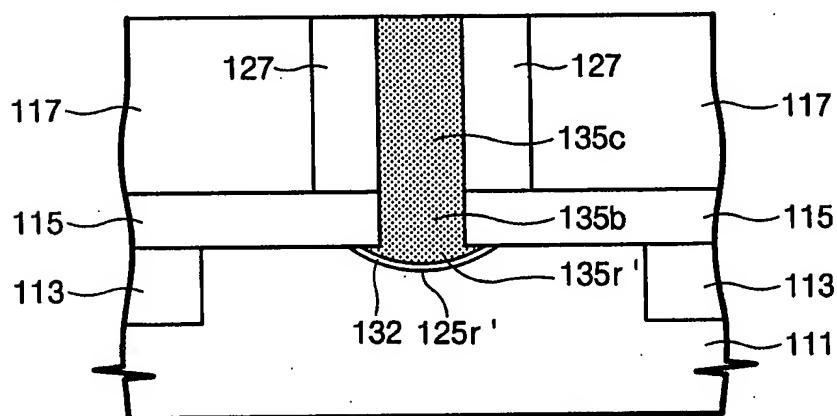
【도 36】



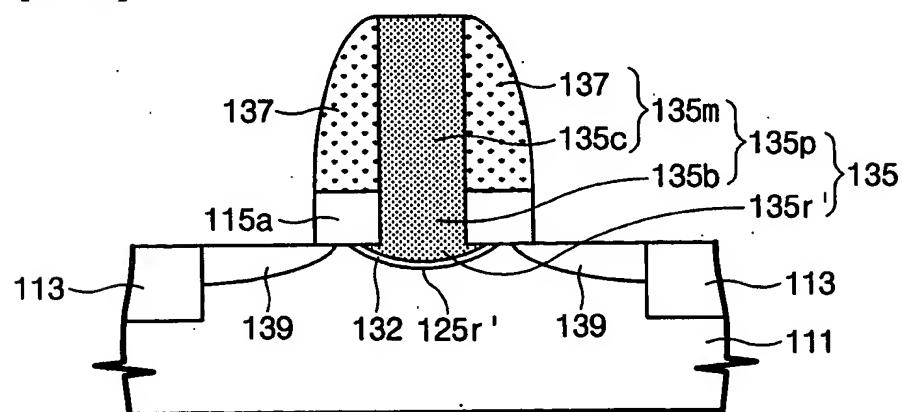
【도 37】



【도 38】



【도 39】



【도 40】

